

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-265255

(43)Date of publication of application : 28.09.2001

(51)Int.Cl.

G09F 9/30  
G02F 1/1368  
G09F 9/00  
H01L 29/786  
H01L 21/336

(21)Application number : 2000-111220

(71)Applicant : SEIKO EPSON CORP

(22)Date of filing : 09.12.1999

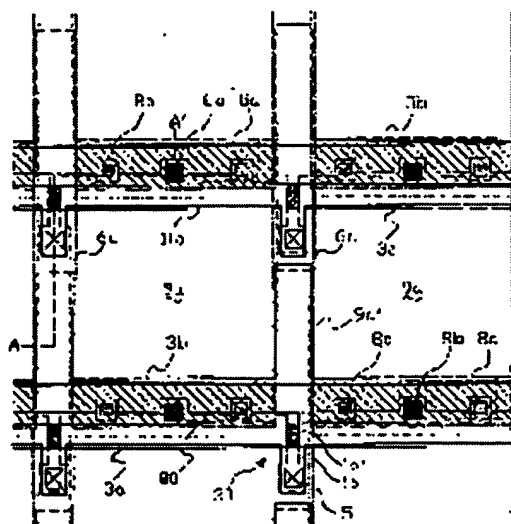
(72)Inventor : MURAIDE MASAO

## (54) ELECTRO-OPTICAL DEVICE AND MANUFACTURING METHOD THEREFOR

(57)Abstract:

**PROBLEM TO BE SOLVED:** To reduce harmful effects caused by recesses or irregularities on pixel electrode surface caused by existence of multiple contact holes connecting a semiconductor layer and pixel electrodes via a conductive layer, in an electro- optical device such as a liquid crystal device of an active matrix driving system.

**SOLUTION:** The liquid crystal device comprises TFTs (30), data lines (6a), scanning lines (3a), capacitance lines (3b), and pixel electrodes on a TFT array substrate (10). The pixel electrodes are electrically connected with TFTs by the contact holes (8a) and the contact holes (8b) via a barrier layer (80). At least the contact hole (8b) is open at a symmetrical position to two adjacent data lines in a non-pixel opening area.



## LEGAL STATUS

[Date of request for examination]

26.01.2004

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

BEST AVAILABLE COPY

(19) 日本国特許庁 (J P)

## (12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-265255

(P2001-265255A)

(43) 公開日 平成13年9月28日 (2001.9.28)

(51) Int.Cl.	識別記号	F I	テ-71-1)* (参考)	
G 0 9 F 9/30	3 3 8	G 0 9 F 9/30	3 3 8	2 H 0 9 2
G 0 2 F 1/1368		9/00	3 3 8	5 C 0 9 4
G 0 9 F 9/00	3 3 8	G 0 2 F 1/136	5 0 0	5 F 1 1 0
H 0 1 L 29/786		H 0 1 L 29/78	6 1 2 D	5 G 4 3 5
21/336				

審査請求 未請求 請求項の数21 O L (全 26 頁)

(21) 出願番号 特願2000-111220(P2000-111220)  
 (62) 分割の表示 特願平11-560328の分割  
 (22) 出願日 平成11年12月9日 (1999.12.9)

(71) 出願人 000002369  
 セイコーエプソン株式会社  
 東京都新宿区西新宿2丁目4番1号  
 (72) 発明者 村出 正夫  
 長野県諏訪市大和3丁目3番5号 セイコ  
 ーエプソン株式会社内  
 (74) 代理人 100095728  
 弁理士 上柳 雅彦 (外1名)

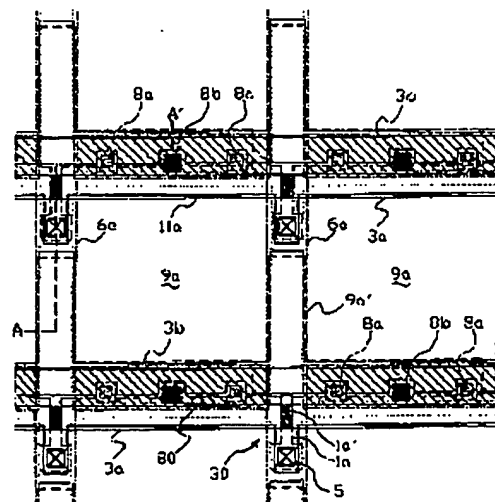
最終頁に続く

## (54) 【発明の名称】 電気光学装置及びその製造方法

## (57) 【要約】

【課題】 アクティブマトリクス駆動方式の液晶装置等の電気光学装置において、半導体層と画素電極とを導電層を介して結ぶ複数のコンタクトホールが存在に起因する画素電極表面における窪みや凹凸による悪影響を低減する。

【解決手段】 液晶装置は、TFTアレイ基板(10)上にTFT(30)、データ線(6a)、走査線(3a)、容量線(3b)及び画素電極(9a)を備える。画素電極及びTFT間には、バリア層(80)を中継してコンタクトホール(8a)及びコンタクトホール(8b)により電気的に接続される。少なくともコンタクトホール(8b)は、非画素開口領域において相隣接する2本のデータ線に対称な位置に開孔されている。



(2)

特開2001-265255

1

2

## 【特許請求の範囲】

【請求項1】 基板に複数の走査線と、複数のデータ線と、前記走査線とデータ線の交差に対応して配置された薄膜トランジスタ及び画素電極と、前記薄膜トランジスタを構成する半導体層と前記画素電極間に電気的に接続された少なくとも1つの導電層とを有し、前記画素電極と前記導電層とを電気的に接続するための第1コンタクトホールは、平面的に見て相隣接する2本のデータ線に対してほぼ対称となるように開孔されていることを特徴とする電気光学装置。

【請求項2】 前記導電層と前記半導体層とを電気的に接続するために前記導電層と前記半導体層との間に介在する第2コンタクトホールは、平面的に見て相隣接する2本のデータ線に対してほぼ対称となるように開孔されていることを特徴とする請求項1に記載の電気光学装置。

【請求項3】 前記画素電極に付加する蓄積容量を有し、前記走査線及び前記蓄積容量の一方の電極の上に、前記導電層と、第1層間絶縁膜と、前記データ線と、第2層間絶縁膜と、前記画素電極がこの順に積層されてなり、前記導電層と前記画素電極とは前記第1及び第2層間絶縁膜に開孔された前記第1コンタクトホールを介して電気的に接続されてなることを特徴とする請求項1又は2に記載の電気光学装置。

【請求項4】 前記半導体層と同一膜からなる第1蓄積容量電極と前記一方の電極である第2蓄積容量電極との間に第1誘電体膜となる第1絶縁層膜が介在されてなり、前記第2蓄積容量電極と前記導電層の一部からなる第3蓄積容量電極との間に第2誘電体膜となる第2絶縁層膜が介在されてなることを特徴とする請求項3に記載の電気光学装置。

【請求項5】 前記画素電極に付加する蓄積容量を有し、前記走査線及び前記蓄積容量の一方の電極の上に第1層間絶縁膜と、前記データ線及び前記導電層と、第2層間絶縁膜と、前記画素電極がこの順に積層されてなり、前記導電層と前記画素電極とは前記第2層間絶縁膜に開孔された前記第1コンタクトホールを介して電気的に接続されてなることを特徴とする請求項1又は2に記載の電気光学装置。

【請求項6】 前記画素電極に付加する蓄積容量を有し、前記半導体層と同一膜からなる第1蓄積容量電極と前記一方の電極である第2蓄積容量電極との間に第1誘電体膜が介在されてなり、前記第2蓄積容量電極と前記導電層からなる第3蓄積容量電極との間に第2誘電体膜となる前記第1層間絶縁膜が介在されてなることを特徴とする請求項5に記載の電気光学装置。

【請求項7】 前記走査線と前記第2蓄積容量電極は、平面的に見てほぼ隣並びに配置されてなり、前記半導体層と前記導電層とを電気的に接続するための第2コンタクトホールは、平面的に見て前記走査線及び第2蓄積容

量電極の間に開孔されていることを特徴とする請求項3乃至6のいずれか一項に記載の電気光学装置。

【請求項8】 前記走査線と前記第2蓄積容量電極は、平面的に見てほぼ隣並びに配置されてなり、前記半導体層と前記導電層とを電気的に接続するための前記第2コンタクトホールは、平面的に見て前記第2蓄積容量電極の前記走査線と反対側に開孔されていることを特徴とする請求項3乃至4のいずれか一項に記載の電気光学装置。

10 【請求項9】 前記第1及び第2コンタクトホールのうち少なくとも一方は、各画素毎に複数設けられていることを特徴とする請求項2から8のいずれか一項に記載の電気光学装置。

【請求項10】 前記第1コンタクトホールは、平面的に見て前記走査線と前記第2蓄積容量電極の幅方向のほぼ中央部に開孔されていることを特徴とする請求項7に記載の電気光学装置。

【請求項11】 前記第1コンタクトホールと前記第2コンタクトホールとは平面的に見て少なくとも部分的に重なるように配置されてなることを特徴とする請求項2から請求項10のいずれか一項に記載の電気光学装置。

【請求項12】 前記蓄積容量の一方の電極は所定の電位が印加される容量線であることを特徴とする請求項3から請求項11のいずれか一項に記載の電気光学装置。

【請求項13】 前記導電層は、相隣接するデータ線間の中心線に対してほぼ対称となるように設けられてなることを特徴とする請求項1から請求項11のいずれか一項に記載の電気光学装置。

【請求項14】 前記基板と、前記第1及び第2層間絶縁膜のうち、少なくとも一つは、少なくとも前記データ線の一部に対向する部分が凹状に窪んで形成されるか、あるいは前記第1層間絶縁膜と第2層間絶縁膜のうちの少なくとも一方を平坦化処理することにより、前記画素電極の表面が平坦化されていることを特徴とする請求項3から10のいずれか一項に記載の電気光学装置。

【請求項15】 前記導電層は、導電性の透光膜からなることを特徴とする請求項1から14のいずれか一項に記載の電気光学装置。

【請求項16】 前記導電層は、画素の開孔領域の少なくとも一部を規定することを特徴とする請求項15に記載の電気光学装置。

【請求項17】 前記導電層は、導電性のポリシリコン膜から構成されていることを特徴とする請求項1から14のいずれか一項に記載の電気光学装置。

【請求項18】 前記導電層は、導電性のポリシリコン膜と高融点金属との2層以上の積層膜からなることを特徴とする請求項1から17のいずれか一項に記載の電気光学装置。

【請求項19】 複数の走査線と、複数のデータ線と、前記各走査線とデータ線の交差に対応して配置された薄

50

(3)

特開2001-265255

3

4

膜トランジスタ及び画素電極と、前記薄膜トランジスタを構成する半導体層と前記画素電極の間で電気的に接続された少なくとも1つの導電層とを有する電気光学装置の製造方法であって、

基板に前記半導体層を形成する工程と、前記半導体層上に第1絶縁層を形成する工程と、前記第1絶縁層上に前記走査線を形成する工程と、前記走査線上に第2絶縁層を形成する工程と、前記第2絶縁層上に導電層を形成する工程と、前記導電層上に第1層間絶縁層を形成する工程と、前記第1層間絶縁層上に前記データ線を形成する工程と、前記データ線上に第2層間絶縁層を形成する工程と、前記第2層間絶縁膜の相隣接する2本の前記データ線に対してほぼ対称な位置に前記第1コンタクトホールを開孔する工程と、前記第1コンタクトホールを介して前記導電層に対して電気的な接続がとれるように前記画素電極を形成する工程とを含むことを特徴とする電気光学装置の製造方法。

【請求項20】 複数の走査線と、複数のデータ線と、前記走査線とデータ線の交差に対応して配置された薄膜トランジスタ及び画素電極と、前記薄膜トランジスタを構成する半導体層と前記画素電極との間で電気的に接続された少なくとも1つの導電層とを有する電気光学装置の製造方法であって、  
基板に前記半導体層を形成する工程と、前記半導体層上に絶縁層を形成する工程と、前記絶縁層上に前記走査線を形成する工程と、前記走査線上に第1層間絶縁層を形成する工程と、前記第1層間絶縁層上に前記データ線と前記導電層とを形成する工程と、前記導電層上に第2層間絶縁層を形成する工程と、  
前記第2層間絶縁膜の相隣接する2本の前記データ線に対してほぼ対称な位置に前記第1コンタクトホールを開孔する工程と、前記第1コンタクトホールを介して前記導電層に対して電気的な接続がとれるように前記画素電極を形成する工程とを含むことを特徴とする電気光学装置の製造方法。

【請求項21】 請求項19又は20において、前記走査線を形成する工程において、前記画素電極に付加するための蓄積容量の一方の電極を前記走査線に沿って隣並びに同一材料で同時に形成する工程を有し、  
平面的に見て前記走査線と前記一方の電極の間に第2コンタクトホールを開孔することを特徴とする電気光学装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、アクティブマトリクス駆動方式の電気光学装置及びその製造方法の技術分野に属し、特に画素電極と画素スイッチング用の薄膜トランジスタ（Thin Film Transistor:以下適宜、TFTと称す）との間の電気的な導通を良好にとるための導電層を備える電気光学装置及びその製造方法の技術分野に属

する。

【0002】

【背景技術】従来、TFT駆動によるアクティブマトリクス駆動方式の電気光学装置においては、縦横に夫々配列された多数の走査線及びデータ線並びにこれらの各交点に対応して多数のTFTがTFTアレイ基板上に設けられている。各TFTは、走査線にゲート電極が接続され、データ線に半導体層のソース領域が接続され、画素電極に半導体層のドレイン領域が接続されている。

【0003】このようなTFTのソース領域及びドレイン領域並びにこれらの間にあるチャネル領域は、TFTアレイ基板上に形成された半導体層から構成される。画素電極は、積層構造をなす走査線、容量線、データ線等の配線及びこれらを相互に電気的に絶縁するための複数の層間絶縁膜を介して、半導体層のドレイン領域と接続される必要がある。ここで、TFTアレイ基板上に形成された半導体層の上にゲートが設けられるトップゲート構造を有する正スタガ型又はコプラナー型のポリシリコンTFTの場合などには特に、積層構造における半導体層から画素電極までの層間距離が例えば1000nm程度又はそれ以上に長いため、両者を電気的に接続するためのコンタクトホールを開孔するのが困難となる。より具体的には、エッチングを深く行うのにつれてエッチング精度が低下して、目標とする半導体層を突き抜けて開孔してしまう可能性が出て来るため、ドライエッチングのみで、このような深いコンタクトホールを開孔することが極めて困難となる。このため、ドライエッチングにウエットエッチングを組み合わせて行ったりするが、すると今度はウエットエッチングによりコンタクトホールの径が大きくなってしまい、限られた基板上領域において配線や電極を必要なだけレイアウトするのが困難となるのである。

【0004】そこで最近では、走査線上に形成される層間絶縁膜に対して、ソース領域に至るコンタクトホールを開孔してデータ線とソース領域との電気的な接続をとる際に、ドレイン領域に至るコンタクトホールを開孔してこの層間絶縁膜上にデータ線と同一層からなるバリア層と称される中継用の導電層を形成しておき、その後、データ線及びこのバリア層上に形成された層間絶縁膜に対して、画素電極からこのバリア層に至るコンタクトホールを開孔することにより、画素電極とドレイン領域とを結ぶ技術が開発されている。

【0005】他方、上述のように構成された液晶装置等の電気光学装置を3個用意し、夫々をR（赤）用、G（緑）用、B（青）用のライトバルブとして用いた複板方式のカラープロジェクタが開発されている。この複板方式によれば、例えば図20に示すように、3枚の電気光学装置500R、500G及び500Bにより別々に光変調された3色光は、プリズム502により一つの投射光に合成された後、スクリーン上に投射される。この

(4)

特開2001-265255

5

5

ように、プリズム502で合成すると、プリズム502で反射するR光及びB光と比べて、G光は、プリズム502で反射されない。即ち、光の反転回数が一回だけG光について少なくなる。この現象は、もちろんG光の代わりに、R光又はB光がプリズムで反射されないように光学系を構成しても同じであり、更に、プリズム502に代えてダイクロミックミラー等を用いて3色光を合成した場合にも同様に起こる。従って、このような場合、G用の電気光学装置500Gは、画像信号が何等かの形で左右に反転され、電気光学装置500Rや500Bと比べて走査方向が逆転した駆動形式で使用され、逆転した画像が表示される。

【0006】

【発明が解決しようとする課題】この種の電気光学装置においては、表示画像の高精細化という一般的な要請が強く、このためには、画像表示領域の高精細化或いは画素ピッチの微細化及び高画素開口率化（即ち、各画素において、表示光が透過しない非画素開口領域に対する、表示光が透過する画素開口領域の比率を高めること）が極めて重要となる。

【0007】しかしながら、画素ピッチの微細化が進むと、電極サイズや配線幅、更にコンタクトホール径などには製造技術により本質的な微細化の限界があるため、相対的にこれらの配線や電極等が画像表示領域を占有する比率が高まるため、画素開口率が低くなってしまいう問題点がある。

【0008】更に、画素ピッチの微細化が進むと、薄膜トランジスタ、データ線、走査線、容量線などを形成する各種の導電層の膜厚やこれらの間に介在する層間絶縁膜の膜厚などにも、やはり製造技術により本質的な限界があるため、これらの配線や素子が形成された領域とそれ以外の領域との間で、画素電極表面における段差が相対的に大きくなってくる。このように段差が大きくなると、段差のある配向膜上をラビング処理した場合に発生する液晶のディスクリネーション領域は、拡大する。この結果、各画素の開口領域の周りを通常格子状に囲む非開口領域内に、このようなディスクリネーション領域が収まらなくなるという問題点が生じる。或いは、このようなディスクリネーション領域を全て、対向基板側の遮光膜等により蔽って覆い除すと、今度は各画素における開口領域が非常に小さくなってしまいう問題点が生じる。

【0009】ここで特に本願発明者による実験及び研究によれば、画素電極表面における段差がディスクリネーションを引き起こす場所や程度は、ラビング処理の方向に大きく依存している。例えば、TN（Twisted Nematic）液晶を用いた場合、ラビング処理を走査線及びデータ線に沿って行った場合に、対向基板側から見て右回りに回転するTN液晶の場合では、画素電極表面の段差形状に応じて各画素の開口領域内において右隅でディスクリ

ネーションの発生領域の度合いが大きくなったり、逆に左回りのTN液晶を用いた場合に、画素電極表面の段差形状に応じて各画素の開口領域内において左隅でディスクリネーションの発生領域の度合いが大きくなったりするのである。このように、各画素単位における画素電極表面の段差形状に応じて指向性のあるディスクリネーションが発生してしまうという問題点がある。特にこのような指向性のあるディスクリネーションは、単一の電気光学装置の場合には視認できないような程度であっても、前述のように3個の電気光学装置を用いて複板方式のカラープロジェクトを構成した場合に、視認できてしまう場合がある。より具体的には、各画素におけるディスクリネーションの発生領域の傾向が同じである2枚の電気光学装置（図20における電気光学装置500R及び500B）と各画素におけるディスクリネーションの発生領域の傾向が逆転している1枚の電気光学装置（図20における電気光学装置500G）とで夫々変調された3色の光を一つに合成すると、各画素におけるディスクリネーションの発生領域が局所的に相互に増長されて、視覚上非常に目立つという現象が生じる。特に画素ピッチを微細化した3枚の電気光学装置を用いて複板方式のカラープロジェクトを構成する場合には、当該電気光学装置における装置欠陥率が非常に高くなってしまいう問題点がある。或いは、特に画素ピッチを微細化した3枚の電気光学装置を用いて複板方式のカラープロジェクトを構成する場合には、画素電極表面の段差に起因したディスクリネーションの発生による画像劣化が激しく、高品位の画像表示を行うのが極めて困難であるという問題点がある。

【0010】他方、前述したバリア層を用いる技術によれば、各画素においてドレイン領域から画素電極への電気的な接続をとるために、少なくとも2個のコンタクトホールを非開口領域内に開孔せねばならないため、これらの2個のコンタクトホールの存在に起因してその上方に位置する画素電極表面の複数個所に窪みや凹凸が生じるという問題点が生じる。そこで、各種の平坦化技術により、このような凹凸を取り除く対策も考えられるが、このような対策では、製造プロセスの複雑化やコスト上昇を招き、何より画素電極に直接接続される第2コンタクトホールに対しては、他の層間絶縁膜や下地膜を平坦化したところで、その開孔内部及びその上にITO（Indium Tin Oxide）膜等から形成される画素電極表面における平坦化は施せるものではない。この結果、複数のコンタクトホールの存在に起因する画素電極表面の窪みや凹凸により、前述のように液晶のディスクリネーションが各画素の特定個所に生じてしまいか或いは各画素の開口領域を狭めねばならないという問題点が生じる。

【0011】本発明は上述の問題点に鑑みなされたものであり、画素ピッチを微細化しても半導体層と画素電極とを導電層を介して結ぶ複数のコンタクトホールの存在

(5)

特開2001-265255

7

に起因する画素電極表面における窪みや凹凸による悪影響を効率的に低減しつつ、画素開口領域が高く、高品位の画像表示が可能な電気光学装置及びその製造方法を提供することを課題とする。

【0012】

【課題を解決するための手段】本発明は上記課題を解決するために、基板上に複数の走査線と、複数のデータ線と、前記走査線とデータ線の交差に対応して配置された薄膜トランジスタ及び画素電極と、前記薄膜トランジスタを構成する半導体層と前記画素電極間に電気的に接続された少なくとも1つの導電層とを有し、前記画素電極と前記導電層とを電気的に接続するための第1コンタクトホールは、平面的に見て相隣接する2本のデータ線に対してほぼ対称となるように開孔されていることを特徴とする。

【0013】本発明のかかる構成によれば、第1コンタクトホールは、相隣接する2本のデータ線に対してほぼ対称な位置に開孔されている。ここに、相隣接するデータ線に対して対称な位置とは、例えば、第1コンタクトホールが1個であれば2本のデータ線の中央位置であり、2個であれば2本のデータ線間の中央位置に対して線対称な2つの位置であるといったように、第2コンタクトホールの個数に応じて様々な位置が考えられる。尚、このように相隣接する2本のデータ線に対して対称な位置とは、各画素の開口領域のデータ線に沿った方向の中心軸に対して線対称な位置に通常は一致するが各画素の開口領域が正方形又は長方形等のデータ線に沿った方向の中心軸が単純に定まらない場合もあり、両者は必ずしも同意義ではない。ここで、第1コンタクトホールは、画素電極に至るが故に、現在のこの種の画素電極を形成する技術によれば、画素電極表面において第1コンタクトホールに対応する個所には、多かれ少なかれ何らかの窪みや凹凸が生じてしまう。この窪みや凹凸が生じた個所は、例えば画素電極上に形成された配向膜に対してラビング処理等を行った後の電気光学物質のディスクリネーションの発生など、平坦な場合と異なり、電気光学物質に対し様々な不良を引き起こす。しかるに本発明では、第1コンタクトホールは、相隣接する2本のデータ線に対して対称な位置に開孔されているので、第1コンタクトホールに対応する画素電極表面の窪みや凹凸は、各画素毎に相隣接する2本のデータ線に対して対称な位置に発生する。従って、例えば画素電極上に形成された配向膜に対してラビング処理を右回り方向のTN液晶用に行った場合と左回りのTN液晶用に行った場合とを考えると、このような画素電極表面の窪みや凹凸に起因した電気光学物質の不良は、どちらの場合にも各画素に同様の傾向で発生することになる。この結果、明視方向が異なる複数の電気光学装置を組み合わせる複眼方式のカラープロジェクト等用を使用する場合に、前述した従来例のように（図20参照）、特定個所における不良

8

が、組み合わせることにより増長される事態を防げる。より一般には、各画素単位で第1コンタクトホールに対応する画素電極表面の窪みや凹凸が走査線に沿ったどちらの方向にも偏っていないため、画像表示領域全体では、走査線に沿って指向性を持つ表示むらが生じないで済むのである。このように、本発明におけるデータ線に対して対称な位置とは、走査線に沿って指向性を持つ表示むらが実質的に生じない程度に対称であれば足りる意味である。

【0014】本発明は、前記導電層と前記半導体層とを電気的に接続するために前記導電層と前記半導体層との間に介在する第2コンタクトホールは、平面的に見て相隣接する2本のデータ線に対してほぼ対称となるように開孔されていることを特徴とする。

【0015】本発明のかかる構成によれば、半導体層のドレイン領域と導電層とは第2コンタクトホールを介して電気的に接続されている。このため、画素電極から半導体層のドレイン領域まで一つのコンタクトホールを開孔する場合と比較して、コンタクトホールの径を小さくできる。即ち、コンタクトホールを深く開孔する程エッチング精度は落ちるため、薄い半導体層における突き抜けを防止するために、コンタクトホールの径を小さくできるドライエッチングを途中で停止して、最終的にウエットエッチングで半導体層まで開孔するように工程を組まねばならない。このため、指向性のないウエットエッチングによりコンタクトホールの径が広がらざるを得ないのである。これに対して本発明では、画素電極及び半導体層間を2つの直列な第1及び第2コンタクトホールにより電気的に接続すればよいので、各コンタクトホールをドライエッチングにより開孔することが可能となるか、或いは少なくともウエットエッチングにより開孔する距離を短くすることが可能となる。この結果、第1及び第2コンタクトホールの径を夫々小さくでき、第1コンタクトホールにおける導電層の表面に形成される窪みや凹凸も小さくて済むので、その上方に位置する画素電極部分における平坦化が促進される。更に、第1コンタクトホールにおける画素電極の表面に形成される窪みや凹凸も小さくて済むので、この画素電極部分における平坦化が促進される。

【0016】また、第2コンタクトホールは、各層の導電層や層間絶縁膜を介して画素電極から比較的離れているため、第1コンタクトホール程には画素電極表面の形状に対して影響を及ぼさないが、装置仕様（要求される画像品位など）や装置設計（第2コンタクトホールの位置や開口領域からの距離など）等との関係から、第2コンタクトホールに起因して画素電極に生じる窪みや凹凸などが電気光学物質におけるディスクリネーションの発生等を引き起こす場合も考えられる。また製造プロセス上、第2コンタクトホールに対応する領域についての平坦化処理を省略したい場合も考えられる。このような場

合に、第2コンタクトホールを、非開口領域内において相隣接する2本のデータ線に対してほぼ対称な位置に開孔しておけば、前述した第1コンタクトホールの場合と同様に、各回素単位で第1コンタクトホールに対応する回素電極表面の窪みや凹凸が走査線に沿ったどちらの方向にも偏っていないため、画像表示領域全体では、走査線に沿って指向性を持つ表示むらが生じないで済むのである。

【0017】本発明は、前記回素電極に付加する蓄積容量を有し、前記走査線及び前記蓄積容量の一方の電極の上に、前記導電層と、第1層間絶縁膜と、前記データ線と、第2層間絶縁膜と、前記回素電極がこの順に積層されてなり、前記導電層と前記回素電極とは前記第1及び第2層間絶縁膜に開孔された前記第1コンタクトホールを介して電気的に接続されてなることを特徴とする。

【0018】本発明のかかる構成によれば、半導体層とデータ線との間に導電層を中継することにより、導電層と回素電極とを第1コンタクトホールを介して電気的に接続可能である。この際、第1コンタクトホールの位置は、データ線が存在しない平面領域であれば任意の位置に設定できるので、設計自由度が増し有利である。

【0019】本発明は、前記半導体層と同一膜からなる第1蓄積容量電極と前記一方の電極である第2蓄積容量電極との間に第1誘電体膜となる第1絶縁薄膜が介在されてなり、前記第2蓄積容量電極と前記導電層の一部からなる第3蓄積容量電極との間に第2誘電体膜となる第2絶縁薄膜が介在されてなることを特徴とする。

【0020】本発明のかかる構成によれば、半導体層と同一膜からなる第1蓄積容量電極と前記一方の電極である第2蓄積容量電極との間に第1絶縁薄膜を介在させ、第2蓄積容量電極と前記導電層の一部からなる第3蓄積容量電極との間に第2絶縁薄膜が介在させているため、導電層を中央にしてその上下に並列に接続された第1及び第2の蓄積容量が形成される。このように限られた基板領域に立体的に導電層を利用して蓄積容量を増大させることができる。

【0021】本発明は、前記回素電極に付加する蓄積容量を有し、前記走査線及び前記蓄積容量の一方の電極の上に第1層間絶縁膜と、前記データ線及び前記導電層と、第2層間絶縁膜と、前記回素電極がこの順に積層されてなり、前記導電層と前記回素電極とは前記第2層間絶縁膜に開孔された前記第1コンタクトホールを介して電気的に接続されてなることを特徴とする。

【0022】本発明のかかる構成によれば、半導体層とデータ線との間に導電層を中継することにより、導電層と回素電極とを第1コンタクトホールを介して電気的に接続可能である。この際、導電層と回素電極とを電気的に接続するための第1コンタクトホールの位置は、データ線が存在しない平面領域であれば任意の位置に設定できるので、設計自由度が増し有利である。また、導電層

とデータ線とを同時に形成することが可能であり、工程を増やすことなく導電層を形成することが可能である。更に、データ線をA1膜で形成する場合、回素電極を形成するITO膜との接続不良が発生する恐れがあるため、導電層を2層以上に形成しても良い。

【0023】本発明は、前記回素電極に付加する蓄積容量を有し、前記半導体層と同一膜からなる第1蓄積容量電極と前記一方の電極である第2蓄積容量電極との間に第1誘電体膜が介在されてなり、前記第2蓄積容量電極と前記導電層からなる第3蓄積容量電極との間に第2誘電体膜となる前記第1層間絶縁膜が介在されてなることを特徴とする。

【0024】本発明のかかる構成によれば、半導体層と同一膜からなる第1蓄積容量電極と前記一方の電極である第2蓄積容量電極との間に第1誘電体膜が介在され、第2蓄積容量電極と前記導電層の一部からなる第3蓄積容量電極との間に第2誘電体膜となる前記第1層間絶縁膜が介在されているため、導電層を中央にしてその上下に並列に接続された第1及び第2の蓄積容量が形成される。このように限られた基板領域に立体的に導電層を利用して蓄積容量を増大させることができる。

【0025】本発明は、前記走査線と前記第2蓄積容量電極は、平面的に見てほぼ横並びに配置されてなり、前記半導体層と前記導電層とを接続するための第2コンタクトホールは、平面的に見て前記走査線及び第2蓄積容量電極の間に開孔されていることを特徴とする。

【0026】本発明のかかる構成によれば、走査線及び第2蓄積容量電極と半導体層のドレイン領域に電気的に接続された導電層とのショートを防ぐことができる。即ち、第2コンタクトホールは、半導体層に至るがゆえに、平面的に見て走査線や第2蓄積容量電極と重なる位置に形成することができないが、本発明では、第2コンタクトホールは平面的に見て走査線及び第2蓄積容量電極の間に開孔されているので、このような構成により上述のショートの問題を防ぐことができ、且つ第2コンタクトホールの存在に起因してその上方に層間絶縁膜を介して回素電極表面に生じる窪みや凹凸を、走査線と容量線との間にある中央寄りの領域に位置させることが可能となる。従って、第2コンタクトホールの存在に起因して回素電極表面に生じる窪みや凹凸は、回素開口領域から走査線や第2蓄積容量電極の幅に応じて非開口領域内へ入り込んで位置するので、たとえこのような窪みや凹凸に対する平坦化処理を途中に介在する層間絶縁膜等に施さなくても、このような窪みや凹凸による悪影響が、開口領域に及び難い構成とすることができる。

【0027】本発明は、前記走査線と前記第2蓄積容量電極は、平面的に見てほぼ横並びに配置されてなり、前記半導体層と前記導電層とを電気的に接続するための前記第2コンタクトホールは、平面的に見て前記第2蓄積容量電極の前記走査線と反対側に開孔されていることを

11

特徴とする。

【0028】本発明のかかる構成によれば、第2コンタクトホールは、平面的に見て第2蓄積容量電極の開口領域に接した側に開孔されている。ここで、第2コンタクトホールは、薄膜トランジスタの半導体層に至るが故に、平面的に見て走査線や第2蓄積容量電極と重なる位置に形成することはできない。即ち、これらが重なるのでは、第2コンタクトホールにより、走査線や第2蓄積容量電極と導電層とがショートしてしまうのである。しかるに本発明では、第2コンタクトホールは、平面的に見て第2蓄積容量電極の開口領域に接した側に開孔されているので、特に、電気光学装置として致命的な走査線と導電層とがショートする可能性を極力低減できる。そして、第2コンタクトホールは、第1コンタクトホールと異なり、画素電極から複数の導電層や層間絶縁膜を介して離れているので、第2コンタクトホールの存在に起因して層間絶縁膜等を介して画素電極表面に生じる窪みや凹凸は、本来小さくて済む。或いは、前述の如くほぼ必然的に画素電極の表面に窪みや凹凸を引き起こすと共に平坦化が極めて困難な第1コンタクトホールとは異なり、第2コンタクトホールに起因した窪みや凹凸は、画素電極との間に介在する層間絶縁膜により比較的容易に平坦化可能である。従って、必要に応じて第2コンタクトホールの上における層間絶縁膜を適宜平坦化すれば、上記の如き第2蓄積容量電極の開口領域に接した側という平面的に画素の開口領域に近い位置に第1コンタクトホールを配置することにより、第2コンタクトホールの存在に起因して走査線及び導電層間がショートしてしまう可能性を低減可能となるのである。

【0029】本発明は、前記第1及び第2コンタクトホールのうち少なくとも一方は、各画素毎に複数設けられている。

【0030】本発明のかかる構成によれば、複数のコンタクトホールを開孔することにより、同一の電気導電率を得るのに必要な各コンタクトホールにおける径を小さくできる。従って、各コンタクトホールに起因した画素電極表面における窪みや凹凸を小さくできるので有利である。また、複数のコンタクトホールにより、冗長構造を表現でき装置欠陥率を低下できる。

【0031】本発明は、前記第1コンタクトホールは、平面的に見て前記走査線と前記第2蓄積容量電極の幅方向のほぼ中央部に開孔されている。

【0032】本発明のかかる構成によれば、第1コンタクトホールは、走査線に沿った領域内の幅方向のほぼ中央部に開孔されているので、第1コンタクトホールの存在に起因して画素電極表面に生じる窪みや凹凸は、走査線に沿って長手状に伸びる非開口領域のうち幅方向の中央部に位置させることが可能となる。従って、第1コンタクトホールの存在に起因する窪みや凹凸による悪影響が、開口領域に及び難い構成とすることができる。この

(7)

特開2001-265255

12

ように、この態様における中央部とは、第2コンタクトホールの存在に起因する窪みや凹凸が開口領域に及ぼす悪影響を實質的に低減可能なだけ、開口領域との境界から離れて非開口領域内へ入り込んだ部分であれば足りる意味である。

【0033】本発明は、前記第1コンタクトホールと前記第2コンタクトホールとは平面的に見て少なくとも部分的に重なるように配置されてなることを特徴とする。

【0034】本発明のかかる構成によれば、第1コンタクトホールと第2コンタクトホールを重ねて配置されるため、画素の対称性を有することができる。また、コンタクトホールによる凹凸を1個所にまとめることができるので、液晶等の電気光学物質におけるディスクリネーションの発生を低減することができる。

【0035】本発明は、前記蓄積容量の一方の電極は所定の電位が印加される容量線であることを特徴とする。

【0036】本発明のかかる構成によれば、容量線の電位を一定にすることができ、第2蓄積容量の電位を安定させることができる。

【0037】本発明は、前記導電層は、相隣接するデータ線間の中心線に対してほぼ対称となるように設けられてなることを特徴とする。

【0038】本発明のかかる構成によれば、各画素の表面の窪みや凹凸の偏りを避けることができるため、画像表示領域全体で、表示むらの発生を防ぐことができる。

【0039】本発明は、前記基板及び前記第1及び第2層間絶縁膜のうち少なくとも一つは、少なくとも前記データ線の一部に対向する部分が凹状に窪んで形成されるか、あるいは前記第1層間絶縁膜と第2層間絶縁膜のうちの少なくとも一方を平坦化処理することにより、前記画素電極の表面が平坦化されている。

【0040】本発明のかかる構成によれば、データ線に重ねて薄膜トランジスタ、走査線、第2蓄積容量電極等が形成される領域と他の領域との段差が低減される。このようにして第1及び第2層間絶縁膜のうち少なくとも一つは、例えば、CMP (Chemical Mechanical Polishing) 処理、スピコート処理、リフロー法等や有機SOG (Spin On Glass) 膜、無機SOG膜、ポリイミド膜等を利用して、第1コンタクトホールに対向する箇所を含む画素電極に面する側の表面が平坦化されるか、あるいは、第1及び第2層間絶縁膜のうち、少なくとも一つを凹状に窪ませることにより、画素電極の下地表面が平坦化されているので、画素電極をより一層平坦化でき、画素電極表面の窪みや凹凸に起因する液晶等の電気光学物質におけるディスクリネーションの発生等が低減され、最終的には高品位の画像表示が可能となる。

【0041】本発明は、前記導電層は、導電性の遮光膜からなる。

【0042】本発明のかかる構成によれば、導電性の遮光膜からなる導電層により、各画素の開口領域を少なく

50



(8)

特開2001-265255

13

とも部分的に規定することが可能となる。このように例えば、基板に対向して配置される対向基板に形成される遮光膜ではなく、TFTアレイ基板上に導電性の遮光膜の一部或いは全部を設ける構成は、製造プロセスにおける基板と対向基板との位置ずれによって画素開口率の低下を招かない点で極めて有利である。

【0043】この導電層は遮光膜からなる態様では、前記導電層は、画素の開口領域の少なくとも一部を規定するように構成してもよい。

【0044】本発明のかかる構成によれば、導電層単独で、或いは対向基板に形成された遮光膜等と共に、画素の開口領域を規定することが可能となる。特に他方の基板に遮光膜を形成しないで開口領域を規定すれば、製造プロセスにおける工程を削減することが可能となり共に一対の基板間のアライメントずれによる画素開口率の低下やばらつきを防ぐことも可能となり有利である。

【0045】本発明は、前記導電層は、導電性のポリシリコン膜から構成されている。

【0046】本発明のかかる構成によれば、導電性のポリシリコン膜からなる導電層は、遮光膜としての機能は発揮しないが、画素電極と半導体層のドレイン領域とを結ぶ中継機能は十分に発揮し得る。この場合には特に、層間絶縁膜との間で熱等によるストレスが発生しにくくなるので、当該導電層及びその周辺におけるクラック防止に役立つ。

【0047】本発明は、導電層は、導電性のポリシリコン膜と高融点金属との2層以上の積層膜からなる。

【0048】かかる構成によれば、導電性のポリシリコン膜からなる導電層は、遮光膜としての機能は発揮しないが、蓄積容量を増加させる機能及び中継機能は十分に発揮し得る。また半導体層と導電層のポリシリコン膜を電気的に接続する際に、同じポリシリコン膜で形成すると、コンタクト抵抗を大幅に低減することができる。また、このような導電性のポリシリコン膜の上に高融点金属を積層すれば、遮光膜としての機能を発揮するとともに、さらに抵抗を下げることもできる。

【0049】本発明の電気光学装置の製造方法は上記課題を解決するために、複数の走査線と、複数のデータ線と、前記各走査線とデータ線の交差に対応して配置された薄膜トランジスタ及び画素電極と、前記薄膜トランジスタを構成する半導体層と前記画素電極の間に電気的に接続された少なくとも1つの導電層とを有する電気光学装置の製造方法であって、基板上に前記半導体層を形成する工程と、前記半導体層上に第1絶縁層を形成する工程と、前記第1絶縁層上に前記走査線を形成する工程と、前記走査線上に第2絶縁層を形成する工程と、前記第2絶縁層上に前記導電層を形成する工程と、前記導電層上に第1層間絶縁膜を形成する工程と、前記第1層間絶縁膜上に前記データ線を形成する工程と、前記データ線上に第2層間絶縁膜を形成する工程と、前記第

14

2層間絶縁膜の相隣接する2本の前記データ線に対してほぼ対称な位置に前記第1コンタクトホールを開孔する工程と、前記第1コンタクトホールを介して前記導電層に対して電気的な接続がとれるように前記画素電極を形成する工程とを含むことを特徴とする。

【0050】本発明のかかる構成によれば、前述した本発明の第1の電気光学装置を比較的少ない工程数で且つ比較的簡単な各工程を用いて製造できる。

【0051】本発明は上記課題を解決するために、複数の走査線と、複数のデータ線と、前記走査線とデータ線の交差に対応して配置された薄膜トランジスタ及び画素電極と、前記薄膜トランジスタを構成する半導体層と前記画素電極との間で電気的に接続された少なくとも1つの導電層とを有する電気光学装置の製造方法であって、基板にソース領域、チャネル領域及び前記ドレイン領域を含む所定パターンを持つ前記半導体層を形成する工程と、前記半導体層上に絶縁層を形成する工程と、前記絶縁層上に前記走査線を形成する工程と、前記走査線上に第1層間絶縁膜を形成する工程と、前記第1層間絶縁膜上に前記データ線と前記導電層とを形成する工程と、前記導電層上に第2層間絶縁膜を形成する工程と、前記第2層間絶縁膜の相隣接する2本の前記データ線に対してほぼ対称な位置に前記第1コンタクトホールを開孔する工程と、前記第1コンタクトホールを介して前記導電層に対して電気的な接続がとれるように前記画素電極を形成する工程とを含むことを特徴とする。

【0052】本発明のかかる構成によれば、電気光学装置を比較的少ない工程数で且つ比較的簡単な各工程を用いて製造できる。

【0053】本発明は、前記走査線を形成する工程において、前記画素電極に付加するための蓄積容量の一方の電極を前記走査線に沿って横並びに同一材料で同時に形成する工程を有し、平面的に見て前記走査線と前記一方の電極の間に第2コンタクトホールを開孔することを特徴とする。

【0054】本発明のかかる構成によれば、電気光学装置を比較的少ない工程数で且つ比較的簡単な各工程を用いて製造することができる。

【0055】本発明のこのような作用及び他の利得は次に説明する実施形態の形態から明らかにする。

【0056】

【発明の実施形態】以下、本発明の実施形態を図面に基ついて説明する。

【0057】（電気光学装置の第1実施形態）本発明による電気光学装置の第1実施形態である液晶装置の構成について、図1から図3を参照して説明する。図1は、液晶装置の画像表示領域を構成するマトリクス状に形成された複数の画素における各要素、配線等の等価回路であり、図2は、データ線、走査線、画素電極、遮光膜等が形成されたTFTアレイ基板の相隣接する複数の回

15

素群の平面図であり、図3は、図2のA-A'断面図である。尚、図3においては、各層や各部材を図面上で認識可能な程度の大きさとするため、各層や各部材毎に縮尺を異ならしめてある。

【0058】図1において、本実施形態における液晶装置の画像表示領域を構成するマトリクス状に形成された複数の画素は、画素電極9aを制御するためのTFT30がマトリクス状に複数形成されており、画像信号が供給されるデータ線6aが当該TFT30のソース領域に電気的に接続されている。データ線6aに書き込む画像信号S1、S2、…、Snは、この順に線順次に供給しても構わないし、相隣接する複数のデータ線6a同士に対して、グループ毎に供給するようにしても良い。また、TFT30のゲートに走査線3aが電気的に接続されており、所定のタイミングで、走査線3aにパルスの走査信号G1、G2、…、Gmを、この順に線順次に印加するように構成されている。画素電極9aは、TFT30のドレイン領域に電気的に接続されており、スイッチング素子であるTFT30を一定期間だけそのスイッチを閉じることにより、データ線6aから供給される画像信号S1、S2、…、Snを所定のタイミングで書き込む。画素電極9aを介して液晶に書き込まれた所定レベルの画像信号S1、S2、…、Snは、対向基板（後述する）に形成された対向電極（後述する）との間で一定期間保持される。液晶は、印加される電圧レベルにより分子集合の配向や秩序が変化することにより、光を透過し、階調表示を可能にする。ノーマリーホワイトモードであれば、印加された電圧に応じて入射光がこの液晶部分を通過不可能とされ、ノーマリーブラックモードであれば、印加された電圧に応じて入射光がこの液晶部分を通過可能とされ、全体として液晶装置からは画像信号に応じたコントラストを持つ光が射出する。ここで、保持された画像信号がリークするのを防ぐために、画素電極9aと対向電極との間に形成される液晶容量と並列に蓄積容量70を付加する。例えば、画素電極9aの電圧は、ソース電圧が印加された時間よりも3桁も長い時間だけ蓄積容量70により保持される。これにより、保持特性は更に改善され、コントラスト比の高い液晶装置が実現できる。

【0059】図2において、液晶装置のTFTアレイベース板上には、マトリクス状に複数の透明な画素電極9a（点線部9a'により輪郭が示されている）が設けられており、画素電極9aの縦横の境界に各々沿ってデータ線6a、走査線3a及び容量線3bが設けられている。データ線6aは、コンタクトホール5を介してポリシリコン膜等からなる半導体層1aのうち後述のソース領域に電気的に接続されており、画素電極9aは、図中右下がりの斜線で示した領域に夫々形成されておりバッファとしての導電層（以下、バリア層と称す）80を中継して、コンタクトホール8a並びにコンタクトホール8b

(9)

特開2001-265255

16

を介して半導体層1aのうち後述のドレイン領域に電気的に接続されている。また、半導体層1aのうちチャネル領域1a'に対向するように走査線3aが配置されており、走査線3aのチャネル領域1a'に対向する部分はゲート電極として機能する。このように、走査線3aとデータ線6aとの交差する箇所には夫々、チャネル領域1a'に走査線3aの一部がゲート電極として対向配置されたTFT30が設けられている。

【0060】容量線3bは、走査線3aに沿ってほぼ直線状に伸びる本線部と、データ線6aと交差する箇所からデータ線6aに沿って前段側（図中、上向き）に突出した突出部とを有する。

【0061】特に、島状のバリア層80は夫々、コンタクトホール8aにより半導体層1aのドレイン領域に電気的に接続されており、コンタクトホール8bにより画素電極9aに電気的に接続されており、ドレイン領域と画素電極9aとの間における導電層或いはバッファとして機能している。このバリア層80、コンタクトホール8a並びにコンタクトホール8bについては後に詳述する。

【0062】また、図中太線で示した領域には夫々、走査線3a、容量線3b及びTFT30の下側を走るように、第1遮光膜11aを設けてもよい。第1遮光膜11aは夫々、走査線3aに沿って線状に形成されていると共に、データ線6aと交差する箇所が図中下方に幅広に形成されており、この幅広の部分により各TFTのチャネル領域1a'をTFTアレイベース板側から見て夫々覆う位置に設けることにより、TFTアレイベース板裏面からの光の照射を防止できる。

【0063】次に図3の断面図に示すように、液晶装置は、一方の基板の一例を構成するTFTアレイベース板10と、これに対向配置される他方の基板の一例を構成する対向基板20とを備えている。TFTアレイベース板10は、例えば石英基板、ガラス基板、シリコン基板からなり、対向基板20は、例えばガラス基板や石英基板からなる。TFTアレイベース板10には、画素電極9aが設けられており、その上側には、ラビング処理等の所定の配向処理が施された配向膜16が設けられている。画素電極9aは例えば、ITO膜などの透明導電性薄膜からなる。また配向膜16は例えば、ポリイミド薄膜などの有機薄膜からなる。

【0064】他方、対向基板20には、その全面に渡って対向電極21が設けられており、その下側には、ラビング処理等の所定の配向処理が施された配向膜22が設けられている。対向電極21は例えば、ITO膜などの透明導電性薄膜からなる。また配向膜22は、ポリイミド薄膜などの有機薄膜からなる。

【0065】TFTアレイベース板10には、各画素電極9aに隣接する位置に、各画素電極9aをスイッチング制御する画素スイッチング用TFT30が設けられてい

50

(10)

特開2001-265255

17

る。

【0066】対向基板20には、更に図3に示すように、各画素の非開口領域に、第2遮光膜23が設けられている。このため、対向基板20の側から入射光が画素スイッチング用TFT30の半導体層1aのチャネル領域1a'や低濃度ソース領域1b及び低濃度ドレイン領域1cに侵入することはない。更に、第2遮光膜23は、コントラストの向上、カラーフィルタを形成した場合における色材の浸色防止などの機能を有する。

【0067】このように構成され、画素電極9aと対向電極21とが対面するように配置されたTFTアレイベース10と対向基板20との間には、後述のシール材により囲まれた空間に電気光学物質の一例である液晶が封入され、液晶層50が形成される。液晶層50は、画素電極9aからの電界が印加されていない状態で配向膜16及び22により所定の配向状態をとる。液晶層50は、例えば一極又は数種類のネマティック液晶を混合した液晶からなる。シール材は、TFTアレイベース10及び対向基板20をそれらの周辺で貼り合わせるための、例えば光硬化性樹脂や熱硬化性樹脂からなる接着剤であり、両基板間の距離を所定値とするためのグラスファイバー

或いはガラスビーズ等のギャップ材が混入されている。

【0068】更に図3に示すように、画素スイッチング用TFT30に各々対向する位置においてTFTアレイベース10と各画素スイッチング用TFT30との間に、第1遮光膜11aを設けると良い。第1遮光膜11aは、好ましくは不透明な高融点金属であるTi（チタン）、Cr（クロム）、W（タングステン）、Ta（タンタル）、Mo（モリブデン）及びPb（鉛）のうちの少なくとも一つを含む、金属単体、合金、金属シリサイド等から構成される。このような材料から構成すれば、TFTアレイベース10上の第1遮光膜11aの形成工程の後に行われる画素スイッチング用TFT30の形成工程における高温処理により、第1遮光膜11aが破壊されたり溶融しないようにできる。第1遮光膜11aが形成されているので、TFTアレイベース10の側からの反射光（戻り光）等が画素スイッチング用TFT30を構成する半導体層1aのチャネル領域1a'や低濃度ソース領域1b及び低濃度ドレイン領域1cに入射する事態を未然に防ぐことができ、これに起因した光電流の発生により画素スイッチング用TFT30の特性が変化したり、劣化することはない。

【0069】尚、積状に形成された第1遮光膜11aは、走査線3a下に延設されて、定電位線又は大容量部分に電気的に接続されてもよい。このように構成すれば、第1遮光膜11aに対向配置される画素スイッチング用TFT30に対し第1遮光膜11aの電位変動が悪影響を及ぼすことはない。この場合、定電位線としては、当該液晶装置を駆動するための周辺回路（例えば、走査線駆動回路、データ線駆動回路等）に供給される自

18

電源、正電源等の定電位線、接地電源、対向電極21に供給される定電位線等が挙げられる。尚、第1遮光膜11aはデータ線6a及び走査線3aに沿って格子状で形成しても良いし、少なくとも画素スイッチング用TFT30のチャネル領域1a'や低濃度ソース領域1b及び低濃度ドレイン領域1cを覆うように島状に形成しても良い。

【0070】更に、第1遮光膜11aと複数の画素スイッチング用TFT30との間には、下地絶縁膜12が設けられている。下地絶縁膜12は、画素スイッチング用TFT30を構成する半導体層1aを第1遮光膜11aから電気的に絶縁するために設けられるものである。更に、下地絶縁膜12は、TFTアレイベース10の全面に形成されることにより、画素スイッチング用TFT30のための下地膜としての機能を有する。即ち、TFTアレイベース10の表面の研磨時における荒れや、洗浄後に残る汚れ等で画素スイッチング用TFT30の特性の劣化等を防止する機能を有する。下地絶縁膜12は、例えば、NSG（ノンドープトシリケートガラス）、PSG（リンシリケートガラス）、BSG（ボロンシリケートガラス）、BPSG（ボロンリンシリケートガラス）などの高絶縁性ガラス又は、酸化シリコン膜、窒化シリコン膜等からなる。下地絶縁膜12により、第1遮光膜11aが画素スイッチング用TFT30等を汚染する事態を未然に防ぐこともできる。

【0071】本実施形態では、半導体層1aを高濃度ドレイン領域1eから延設して第1蓄積容量電極1fとし、これに対向する容量線3bの一部を第2蓄積容量電極とし、ゲート絶縁膜として機能する絶縁薄膜2を走査線3aに対向する位置から延設してこれらの電極間に挟持された第1誘電体膜とすることにより、第1蓄積容量70aが形成されている。更に、この第2蓄積容量電極と対向するバリア層80の一部を第3蓄積容量電極とし、これらの電極間に第2誘電体膜81を設けることにより、第2蓄積容量70bが形成されている。そして、これら第1及び第2蓄積容量70a及び70bがコンタクトホール8aを介して並列接続されて蓄積容量70が構成されている。特に第1蓄積容量70aを形成する第1誘電体膜を含む絶縁薄膜2は、高温酸化によりポリシリコン膜上に形成されるTFT30のゲート絶縁膜に他ならないので、薄く且つ高耐圧の絶縁膜とすることができ、第1蓄積容量70aは比較的小面積で大容量の蓄積容量として構成できる。また、第2誘電体膜81も、第1誘電体膜2と同様に或いは第1誘電体膜2よりも薄く形成することができるので、図2に示したように粗隣接するデータ線6a間の領域を利用して、第2蓄積容量70bは比較的小面積で大容量の蓄積容量として構成できる。従って、これら第1蓄積容量70a及び第2蓄積容量70bから立体的に構成される蓄積容量70は、データ線6a下の領域及び走査線3aに沿って液晶のデイス

(11)

特開2001-265255

19

クリネーションが発生する領域（即ち、容量線3bが形成された領域）という画素開口領域を外れたスペースを有効に利用して、小面積で大容量の蓄積容量を形成することができる。

【0072】このように第2蓄積容量70bを構成する第2誘電体膜81は、酸化シリコン膜、窒化シリコン膜等でもよいし、多層膜から構成してもよい。一般に絶縁薄膜を形成するのに用いられる各種の公知技術（減圧CVD法、プラズマCVD法、熱酸化法、高圧CVD法、スパッタリング法、ECRプラズマ法、リモートプラズマ法等）により、第2誘電体膜81を形成可能である。第2誘電体膜81を薄く形成することにより、コンタクトホール8aの径を更に小さく出来るので、前述したコンタクトホール8aにおけるバリア層80の窪みや凹凸が更に小さくて済み、その上方に位置する画素電極9aにおける平坦化が更に促進される。

【0073】図3において、画素スイッチング用TFT30は、LDD（Lightly Doped Drain）構造を有しており、走査線3a、当該走査線3aからの電界によりチャネルが形成される半導体層1aのチャネル領域1a'、走査線3aと半導体層1aとを絶縁する絶縁薄膜2、データ線6a、半導体層1aの低濃度ソース領域1b及び低濃度ドレイン領域1c、半導体層1aの高濃度ソース領域1d並びに高濃度ドレイン領域1eを備えている。高濃度ドレイン領域1eには、複数の画素電極9aのうちの対応する一つがバリア層80を中継して接続されている。低濃度ソース領域1b及び高濃度ソース領域1d並びに低濃度ドレイン領域1c及び高濃度ドレイン領域1eは後述のように、半導体層1aに対し、n型又はp型のチャネルを形成するかに応じて所定濃度のn型用又はp型用の不純物をドーピングすることにより形成されている。n型チャネルのTFTは、動作速度が速いという利点があり、画素のスイッチング素子である画素スイッチング用TFT30として用いられることが多い。本実施形態では特にデータ線6aは、Al（アルミニウム）膜等の低抵抗な金属膜や金属シリサイド等の合金膜などの透光性且つ導電性の薄膜から構成されている。また、バリア層80及び第2誘電体膜81の上には、高濃度ソース領域1dへ通じるコンタクトホール5及びバリア層80へ通じるコンタクトホール8bが各々形成された第1層間絶縁膜4が形成されている。この高濃度ソース領域1dへのコンタクトホール5を介して、データ線6aは高濃度ソース領域1dに電気的に接続されている。更に、データ線6a及び第1層間絶縁膜4の上には、バリア層80へのコンタクトホール8bが形成された第2層間絶縁膜7が形成されている。このコンタクトホール8bを介して、画素電極9aはバリア層80に電気的に接続されており、更にバリア層80を中継してコンタクトホール8aを介して高濃度ドレイン領域1eに電気的に接続されている。前述の画素電極9aは、このように構

20

成された第2層間絶縁膜7の上面に設けられている。

【0074】画素スイッチング用TFT30は、好ましくは上述のようにLDD構造を待つが、低濃度ソース領域1b及び低濃度ドレイン領域1cに不純物イオンの打ち込みを行わないオフセット構造を持ってよいし、走査線3aの一部であるゲート電極をマスクとして高濃度で不純物イオンを打ち込み、自己整合的に高濃度ソース領域1d及び高濃度ドレイン領域1eを形成するセルフアライン型のTFTであってもよい。

【0075】また本実施形態では、画素スイッチング用TFT30の走査線3aの一部からなるゲート電極を高濃度ソース領域1d及び高濃度ドレイン領域1e間に1個のみ配置したシングルゲート構造としたが、これらの間に2個以上のゲート電極を配置してもよい。この際、各々のゲート電極には同一の信号が印加されるようにする。このようにデュアルゲート或いはトリプルゲート以上でTFTを構成すれば、チャネルとソースドレイン領域接合部のリーク電流を防止でき、オフ時の電流を低減することができる。これらのゲート電極の少なくとも1個をLDD構造或いはオフセット構造にすれば、更にオフ電流を低減でき、安定したスイッチング素子を得ることができる。

【0076】図2及び図3に示すように、本実施形態の液晶装置では、高濃度ドレイン領域1eと画素電極9aとをコンタクトホール8a及びコンタクトホール8bを介してバリア層80を経由して電気的に接続するので、画素電極9aからドレイン領域まで一つのコンタクトホールを開孔する場合と比較して、コンタクトホール8a及びコンタクトホール8bの径を夫々小さくできる。即ち、一つのコンタクトホールを開孔する場合には、コンタクトホールを深く開孔する程エッチング精度は落ちるため、例えば50nm程度の非常に薄い半導体層1aにおける突き抜けを防止するためには、コンタクトホールの径を小さくできるドライエッチングを途中で停止して、最終的にウエットエッチングで半導体層1aまで開孔するように工程を組まねばならない。或いは、ドライエッチングによる突き抜け防止用のポリシリコン膜を別途設けたりする必要が生じてしまうのである。

【0077】これに対して本実施形態では、画素電極9a及び高濃度ドレイン領域1eを2つの直列なコンタクトホール8a及びコンタクトホール8bにより電気的に接続すればよいので、これらコンタクトホール8a及びコンタクトホール8bを夫々、ドライエッチングにより開孔することが可能となるのである。或いは、少なくともウエットエッチングにより開孔する距離を短くすることが可能となるのである。但し、コンタクトホール8a及びコンタクトホール8bに夫々、若干のテーパーを付けるために、ドライエッチング後に取って比較的短時間のウエットエッチングを行うようにしてもよい。

【0078】以上のように本実施形態によれば、コンタ

(12)

特開2001-265255

21

クトホール8a及びコンタクトホール8bの径を夫々小さくでき、コンタクトホール8aにおけるバリア層80の表面に形成される窪みや凹凸も小さくて済むので、その上方に位置する画素電極9aの部分における平坦化が、ある程度促進される。更に、第2コンタクトホール8bにおける画素電極9aの表面に形成される窪みや凹凸も小さくて済むので、この画素電極9aの部分における平坦化が、ある程度促進される。

【0079】本実施形態では特に、バリア層80は、導電性の透光膜からなる。従って、バリア層80により、各画素開口領域を少なくとも部分的に規定することが可能となる。例えば、バリア層80は、第1透光膜11aと同じく、不透明な高融点金属であるTi、Cr、W、Ta、Mo及びPbのうちの少なくとも一つを含む、金属単体、合金、金属シリサイド等から構成される。これらの高融点金属と画素電極9aを構成するITO膜とのコンタクト抵抗は低いので、コンタクトホール8bを介してバリア層80及び画素電極9a間で良好に電気的な接続がとれる。バリア層80の膜厚は、例えば50nm以上500nm以下程度とするのが好ましい。50nm程度10の厚みがあれば、製造プロセスにおける第2コンタクトホール8bの開孔時に突き抜ける可能性は低くなり、また500nm程度であればバリア層80の存在に起因した画素電極9aの表面の凹凸は問題とならないか或いは比較的容易に平坦化可能だからである。ここで、データ線6aとバリア層80と第1透光膜11aあるいは、データ線6aとバリア層80等の透光性を有する膜により画素開口部を規定することが可能である。このような場合、対向基板20に第2透光膜23を形成しなくて済むため、工程を削減することが可能である。さらに、対向基板20とTFTアレイ基板10とのアライメントずれによる画素開口率の低下やばらつきを防ぐことができる。また、対向基板20に第2透光膜23を設ける場合は、TFTアレイ基板10とのアライメントずれを考慮して大きめに形成するが上述のようにデータ線6a、バリア層80等のTFTアレイ基板10側に形成された透光性の膜により画素開口部を規定するため、精度よく画素開口部を規定することができ、対向基板20に設けた第2透光膜23により画素開口部を決める場合に比べて開口率を向上させることができる。

【0080】尚、本実施形態では、バリア層80が導電性の透光膜からなるため様々な利点が得られるが、バリア層80を、高融点金属膜ではなく、例えば、リン等をドープした低抵抗な導電性のポリシリコン膜から構成してもよい。このように構成すれば、バリア層80は、透光膜としての機能は発揮しないが、蓄積容量70を増加させる機能及びバリア層本来の中継機能は十分に発揮し得る。更に、第1屈折率調整層4との間で熱等によるストレスが発生し難くなるので、バリア層80及びその周辺におけるクラック防止に役立つ。また、バリア層80を

22

ポリシリコン膜の上に金属膜を用いて2層以上の積層膜で形成してもよい。さらに、2層のポリシリコン膜の間に金属膜を挟んで3層としてもよい。このように、バリア層80と高濃度ドレイン領域1eとを電気的に接続する際に、同じポリシリコン膜で形成すると、コンタクト抵抗を大幅に低減することができる。他方、画素開口領域を規定するための透光については、第1透光膜11aや第2透光膜23により別途行えばよい。

【0081】本実施の形態では特に、コンタクトホール8bは、非開口領域内において、相隣接する2本のデータ線6aに対してほぼ対称な位置に開孔されている。即ちコンタクトホール8bは、平面的に見て2本のデータ線6aのほぼ中央位置に開孔されている。ここで、コンタクトホール8bは、画素電極9aに至るが故に、画素電極9aの表面においてコンタクトホール8bに対応する箇所には、多かれ少なかれ何らかの窪みや凹凸が生じてしまう。この窪みや凹凸が生じた箇所は、画素電極9a上に形成された配向膜16に対してラビング処理等を行った後の液晶のディスクリネーションの発生を引き起こす。しかるに本実施形態では、コンタクトホール8bは、非開口領域内において相隣接する2本のデータ線6aに対してほぼ対称な位置に開孔されているので、コンタクトホール8bに対応する画素電極9aの表面の窪みや凹凸は、各画素毎に相隣接する2本のデータ線6aに対してほぼ対称な位置に発生する。従って、配向膜16に対してラビング処理を対向基板20側から見て右回りに回転するTN液晶用に行った場合と逆に左回りに回転するTN液晶用に行った場合とを考えると、このような画素電極9aの表面の窪みや凹凸に起因した液晶のディスクリネーションの発生は、どちらの場合にも各画素に同様の傾向で発生させることができる。この結果、明視方向の異なる複数の液晶装置と左シフト用の液晶装置とを組み合わせて複板方式のカラープロジェクタ等用に使用する場合に、特定箇所における不良が組み合わせたことにより増長される事態を防げる。

【0082】更に本実施形態では特に、コンタクトホール8aも、非開口領域内において相隣接する2本の前記データ線6aに対してほぼ対称な位置に開孔されている。従って、コンタクトホール8aは、屈折率調整層等を介して画素電極9aから比較的離れているため、コンタクトホール8b程には画素電極9aの表面の形状に対して影響を及ぼさないものの、コンタクトホール8bの場合と同様に、各画素単位でコンタクトホール8aに対応する画素電極9aの表面の窪みや凹凸が走査線に沿ったどちらの方向にも偏っていないようにできる。

【0083】尚、本実施形態ではバリア層80についても、非開口領域内において相隣接する2本のデータ線6aに対してほぼ対称な平面形状を有しているため、バリア層80の膜厚に起因した画素電極9aにおける凹凸も、相隣接する2本のデータ線6aに対して対称とな

(13)

特開2001-265255

23

る。従ってどちらの方向からラビング処理を施しても、その意影響が各画素毎に非対称となることはない。また、バリア層80は各画素単位毎に島状に形成されているため、バリア層80を形成する膜の応力の影響を受けることがない。

【0084】また、図2に示すように、走査線3aと容量線3bは、非開口領域のうち走査線3aに沿った領域内において、平面的に見て一本ずつ対をなしてほぼ横並びに配置されており、コンタクトホール8aは、非開口領域のうち走査線3aに沿った領域内において、走査線3a及び容量線3bの間に開孔されている。従って、走査線3aと容量線3bと高透過ドレイン領域1eとがショートすることなく、しかもコンタクトホール8aの存在に起因してその上方に第1層間絶縁膜4及び第2層間絶縁膜7等を介して画素電極9aの表面に生じる窪みや凹凸を、非開口領域のうち走査線3aと容量線3bとの間にある中央寄りの領域に位置させることが可能となる。従って、コンタクトホール8aの存在に起因して画素電極9aの表面に生じる窪みや凹凸は、画素開口領域から走査線3aと容量線3bの幅に応じて非開口領域内へ入り込んで位置するので、例えこのような窪みや凹凸に対する平坦化処理を途中で介在する第1層間絶縁膜4及び第2層間絶縁膜7等に施さなくても、このような窪みや凹凸による意影響が、開口領域に及び難い構成とすることができる。尚、図2に示すように、本実施形態では特に、コンタクトホール8aの存在により走査線3aと容量線3bの線幅が全体的に細くならないように、或いは非開口領域の幅が不必要に増大しないように、容量線3bの平面形状は、コンタクトホール8aやコンタクトホール8bの形成領域に対応してくびれ込むようにすると、画素開口率の低下を防ぐことができる。更に、走査線3aも容量線3bと同様にその平面形状をコンタクトホール8aやコンタクトホール8bの形成領域に対応してくびれ込むようにしても良い。また、コンタクトホール8bは、容量線3b上に第2誘電体膜81を介してバリア層80を積層してある場合には、容量線3b上に設けても良い。この場合には、コンタクトホール8bの開孔領域にも蓄積容量を設けることができ有利である。

【0085】更にバリア層80は、データ線6aを構成するA1層よりも下側に設けられているので、コンタクトホール8bの位置は、データ線6aが存在しない平面領域であれば任意の位置に設定できる。

【0086】更にまた、コンタクトホール8bは、平面的に見て非開口領域のうち走査線3aに沿った領域内のデータ線6aに平行な幅方向のほぼ中央部に開孔されている。よって、コンタクトホール8bの存在に起因して画素電極9aの表面に生じる窪みや凹凸は、平面的に見て走査線3aに沿って長手状に伸びる非開口領域のうち幅方向のほぼ中央部に位置させることが可能となる。従って、コンタクトホール8bの存在に起因する窪みや凹

24

凸による意影響が、開口領域に及び難い構成とすることができる。

【0087】尚、コンタクトホール8a、コンタクトホール8b及びコンタクトホール5の平面形状は、円形や四角形或いはその他の多角形状等でもよいが、円形は特にコンタクトホールの周囲の層間絶縁膜等におけるクラック防止に役立つ。そして、良好に電気的な接続を得るために、ドライエッチング後にウエットエッチングを行って、これらのコンタクトホールに夫々若干のテーパーをつけることが好ましい。

【0088】以上説明したように第1実施形態の液晶装置によれば、コンタクトホール8a並びにコンタクトホール8bの形成位置を工夫することにより、各画素単位でコンタクトホール8bに対応する画素電極9aの表面の窪みや凹凸に起因する不良傾向が安定するため、コンタクトホールの存在により画像表示領域内の特定箇所における不良が一定限度を超えて顕在化して、表示画像の品位が劣化する事態、或いは当該液晶装置全体が不良品となる事態を効率的に防ぐことが可能となる。更に、コンタクトホール8aの形成位置を工夫することにより装置欠陥が生じにくい構成が得られる。加えて、コンタクトホール8bは、平面的に見てデータ線6aが存在せず且つバリア層80が存在する領域であれば、任意の平面位置に開孔可能であるため、コンタクトホール8bを開孔する位置の自由度が格段に高まるので、平面レイアウトに関する設計自由度が非常に高まり、実用上大変便利である。

【0089】（電気光学装置の第1実施形態における製造プロセス）次に、以上のような構成を持つ実施形態における液晶装置の製造プロセスについて、図4から図7を参照して説明する。尚、図4から図7は各工程におけるTFTアレイ基板側の各層を、図3と同様に図2のA-A'断面に対応させて示す工程図である。

【0090】先ず図4の工程(1)に示すように、石英基板、ハードガラス、シリコン基板等のTFTアレイ基板10を用意する。ここで、好ましくはN<sub>2</sub>(窒素)等の不活性ガス雰囲気且つ約900～1300℃の高温で熱処理し、後に実施される高温プロセスにおけるTFTアレイ基板10に生じる歪みが少なくなるように前処理しておく。即ち、製造プロセスにおける最高温で高温処理される温度に合わせて、事前にTFTアレイ基板10を同じ温度かそれ以上の温度で熱処理しておく。そして、このように処理されたTFTアレイ基板10の全面に、Ti、Cr、W、Ta、Mo及びPb等の金属や金属シリサイド等の金属合金膜を、スパッタリング等により、100～500nm程度の膜厚、好ましくは約200nmの膜厚の遮光膜11を形成する。尚、遮光膜11上には、表面反射を緩和するためにポリシリコン膜等の反射防止膜を形成しても良い。

【0091】次に工程(2)に示すように、該形成され

(14)

特開2001-265255

25

た遮光膜11上にフォトリソグラフィ工程により第1遮光膜11aのパターン(図2参照)に対応するレジストマスクを形成し、該レジストマスクを介して遮光膜11に対しエッチングを行うことにより、第1遮光膜11aを形成する。

【0092】次に工程(3)に示すように、第1遮光膜11aの上に、例えば、常圧又は減圧CVD法等によりTEOS(テトラ・エチル・オルソ・シリケート)ガス、TEB(テトラ・エチル・ボートレート)ガス、TMOP(テトラ・メチル・オキシ・フォスレート)ガス等を用いて、NSG、PSG、BSG、BPSGなどのシリケートガラス膜、窒化シリコン膜や酸化シリコン膜等からなる下地絶縁膜12を形成する。この下地絶縁膜12の膜厚は、例えば、約500～2000nmとする。尚、TFTアレイ基板10の裏面からの戻り光が問題にならない場合は、第1遮光膜11aや下地絶縁膜12を形成しなくても良い。

【0093】次に工程(4)に示すように、下地絶縁膜12の上に、約450～550℃、好ましくは約500℃の比較的低温環境中で、流量約400～600cc/minのモノシランガス、ジシランガス等を用いた減圧CVD(例えば、圧力約20～40PaのCVD)により、アモルファスシリコン膜を形成する。その後、窒素雰囲気中で、約600～700℃にて約1～10時間、好ましくは、4～6時間の熱処理を施すことにより、ポリシリコン膜1を約50～200nmの厚さ、好ましくは約100nmの厚さとなるまで固相成長させる。固相成長させる方法としては、RTA(Rapid Thermal Anneal)を使った熱処理でも良いし、エキシマレーザー等を用いたレーザー熱処理でも良い。

【0094】この際、図3に示した画素スイッチング用TFT30として、nチャネル型の画素スイッチング用TFT30を作成する場合には、当該チャネル領域にSb(アンチモン)、As(砒素)、P(リン)などのV族元素の不純物を僅かにイオン注入等によりドーピングしても良い。また、画素スイッチング用TFT30をpチャネル型とする場合には、B(ボロン)、Ga(ガリウム)、In(インジウム)などのIII族元素の不純物を僅かにイオン注入等によりドーピングしても良い。尚、アモルファスシリコン膜を経ないで、減圧CVD法等によりポリシリコン膜1を直接形成しても良い。或いは、減圧CVD法等により堆積したポリシリコン膜にシリコンイオンを打ち込んで一旦非晶質化し、その後熱処理等により再結晶化させてポリシリコン膜1を形成しても良い。

【0095】次に工程(5)に示すように、フォトリソグラフィ工程、エッチング工程等により、図2に示した如き所定パターンを有する半導体層1aを形成する。

【0096】次に工程(6)に示すように、画素スイッチング用TFT30を構成する半導体層1aを約900～1300℃の温度、好ましくは約1000℃の温度に

26

より熱酸化することにより、約30nmの比較的小さい厚さの熱酸化シリコン膜2aを形成し、更に工程(7)に示すように、減圧CVD法等により高温酸化シリコン膜(HTO膜)や窒化シリコン膜からなる絶縁膜2bを約50nmの比較的小さい厚さに堆積し、熱酸化シリコン膜2a及び絶縁膜2bを含む多層構造を持つ画素スイッチング用TFT30の絶縁層2と共に蓄積容量形成用の第1誘電体膜を形成する。この結果、半導体層1aの厚さは、約30～150nmの厚さ、好ましくは約35～50nmの厚さとなり、絶縁層(第1誘電体膜)2の厚さは、約20～150nmの厚さ、好ましくは約30～100nmの厚さとなる。このように高温熱酸化時間を短くすることにより、特に8インチ程度の大型基板を使用する場合に熱による歪みを防止することができる。但し、ポリシリコン膜1を熱酸化することのみにより、単一層構造を持つ絶縁層2を形成しても良い。

【0097】次に工程(8)に示すように、フォトリソグラフィ工程、エッチング工程等によりレジスト層50を第1蓄積容量電極1fとなる部分を除く半導体層1a上に形成した後、例えばPイオンをドーピング量約 $3 \times 10^{11}/\text{cm}^2$ でドーピングして、第1蓄積容量電極1fを低抵抗化する。

【0098】次に工程(9)に示すように、レジスト層50を除去した後、減圧CVD法等によりポリシリコン膜3を堆積し、更にPを熱拡散し、ポリシリコン膜3を導電化する。又は、Pイオンをポリシリコン膜3の成膜と同時に導入した低抵抗なポリシリコン膜を用いても良い。ポリシリコン膜3の膜厚は、約100～500nmの厚さ、好ましくは約300nmに堆積する。

【0099】次に図5の工程(10)に示すように、レジストマスクを用いたフォトリソグラフィ工程、エッチング工程等により、図2に示した如き所定パターンの走査線3aと共に容量線3bを形成する。走査線3a及び容量線3bは、高融点金属や金属シリサイド等の金属合金膜で形成しても良いし、ポリシリコン膜等と組み合わせた多層配線としても良い。

【0100】次に工程(11)に示すように、図3に示した画素スイッチング用TFT30をLDD構造を持つnチャネル型のTFTとする場合、半導体層1aに、先ず低濃度ソース領域1b及び低濃度ドレイン領域1cを形成するために、走査線3aの一部からなるゲート電極をマスクとして、PなどのV族元素の不純物を低濃度で例えば、Pイオンを $1 \sim 3 \times 10^{11}/\text{cm}^2$ のドーピング量にてドーピングする。これにより走査線3a下の半導体層1aはチャネル領域1a'となる。

【0101】次に工程(12)に示すように、画素スイッチング用TFT30を構成する高濃度ソース領域1d及び高濃度ドレイン領域1eを形成するために、走査線3aよりも幅の広いマスクでレジスト層600を走査線3a上に形成した後、同じくPなどのV族元素の不純物

(15)

特開2001-265255

27

を高濃度で例えば、Pイオンを $1 \sim 3 \times 10^{11} / \text{cm}^2$ のドーピングにてドーピングする。また、画素スイッチング用TFETをpチャネル型とする場合、半導体層1aに、低濃度ソース領域1b及び低濃度ドレイン領域1c並びに高濃度ソース領域1d及び高濃度ドレイン領域1eを形成するために、BなどのIII族元素の不純物を用いてドーピングする。尚、例えば、低濃度のドーピングを行わずに、オフセット構造のTFETとしてもよく、走査線3aをマスクとして、Pイオン、Bイオン等を用いたイオン注入技術によりセルフアライン型のTFETとしてもよい。この不純物のドーピングにより容量線3b及び走査線3aは更に低抵抗化される。

【0102】尚、これらのTFETの素子形成工程と並行して、nチャネル型TFET及びpチャネル型TFETから構成される相補型構造を持つデータ線駆動回路、走査線駆動回路等の周辺回路をTFETアレイ基板10上の周辺部に形成してもよい。このように、本実施形態において画素スイッチング用TFETを構成する半導体層1aをポリシリコン膜で形成すれば、画素スイッチング用TFETの形成時にほぼ同一工程で、周辺回路を形成することができ、製造上有利である。

【0103】次に工程(13)に示すように、レジスト層600を除去した後、容量線3b及び走査線3a並びに絶縁膜(第1誘電体膜)2上に、減圧CVD法、プラズマCVD法等により高温酸化シリコン膜(HTO膜)や窒化シリコン膜からなる第2誘電体膜81を約200nm以下の比較的薄い厚さに堆積する。但し、前述のように、第2誘電体膜81は、多層膜から構成してもよいし、一般にTFETの絶縁膜を形成するのに用いられる各種の公知技術により、第2誘電体膜81を形成可能である。第2誘電体膜81の場合には、第1層間絶縁膜4の場合のように余り薄くするとデータ線6a及び走査線3a間の寄生容量が大きくなってしまふことはなく、またTFETにおける絶縁膜2のように余り薄く形成するとトンネル効果等の符異現象が発生することもない。また、第2誘電体膜81は、容量線の一部である第2善積容量電極とバリア層80の一部である第3善積容量電極との間の誘電体膜として機能する。そして、第2誘電体膜81を薄くするほど、第2善積容量70bは大きくなるので、結局、膜はがれなどの欠陥が生じないことを条件に、絶縁膜2よりも薄い50nm以下の厚みを持つ極薄い絶縁膜となるように第2誘電体膜81を形成すると本実施形態の効果を増大させることができる。

【0104】次に工程(14)に示すように、バリア層80と高濃度ドレイン領域1eとを電気的に接続するためのコンタクトホール8aを、反応性イオンエッチング、反応性イオンビームエッチング等のドライエッチングにより形成する。このようなドライエッチングは、指向性が高いため、小さな径のコンタクトホール8aを開

28

孔可能である。或いは、コンタクトホール8aが半導体層1aを突き抜けるのを防止するのに有利なウエットエッチングを併用してもよい。このウエットエッチングは、コンタクトホール8aに対し、より良好に電気的な接続をとるためのテーパーを付与する観点からも有効である。

【0105】次に工程(15)に示すように、第2誘電体膜81及びコンタクトホール8aを介して覗く高濃度ドレイン領域1eの全面に、Ti、Cr、W、Ta、Mo及びPt等の金属や金属シリサイド等の金属合金膜をスパッタリング等により成膜して、50～500nm程度の膜厚の導電膜80'を形成する。50nm程度の厚みがあれば、後にコンタクトホール8bを開孔する時に突き抜ける可能性は殆どない。尚、この導電膜80'上には、表面反射を緩和するためにポリシリコン膜等の反射防止膜を形成してもよい。また、導電膜80'は応力緩和のためポリシリコン膜等を用いてもよい。この際、下層に導電性のポリシリコン膜を用いて上層に金属膜を用いて2層以上の積層された導電膜80'を形成してもよい。このように、導電膜80'と高濃度ドレイン領域1eとを電気的に接続する際に、同じポリシリコン膜で形成すると、コンタクト抵抗を大幅に低減することができる。

【0106】次に図6の工程(16)に示すように、該形成された導電膜80'上にフォトリソグラフィによりバリア層80のパターン(図2参照)に対応するレジストマスクを形成し、該レジストマスクを介して導電膜80'に対しエッチングを行うことにより、第3善積容量電極を含むバリア層80を形成する。

【0107】次に工程(17)に示すように、第2誘電体膜81及びバリア層80を覆うように、例えば、常圧又は減圧CVD法やTEOSガス等を用いて、NSG、PSG、BSG、BPSGなどのシリケートガラス膜、窒化シリコン膜や酸化シリコン膜等からなる第1層間絶縁膜4を形成する。第1層間絶縁膜4の膜厚は、約500～1500nmが好ましい。第1層間絶縁膜4の膜厚が500nm以上あれば、データ線6a及び走査線3a間における寄生容量は余り又は殆ど問題とならない。

【0108】次に工程(18)の段階で、高濃度ソース領域1d及び高濃度ドレイン領域1eを活性化するために約1000℃の熱処理を20分程度行った後、データ線6aに対するコンタクトホール5を開孔する。また、走査線3aや容量線3bをTFETアレイ基板10の周辺領域において図示しない配線と接続するためのコンタクトホールも、コンタクトホール5と同一の工程により第1層間絶縁膜4を開孔することができる。

【0109】次に、工程(19)に示すように、第1層間絶縁膜4の上に、スパッタリング等により、遮光性のAl等の低抵抗金属や金属シリサイド等を金属膜6として、約100～500nmの厚さ、好ましくは約300



(15)

特開2001-265255

29

nmに堆積する。

【0110】次に工程(20)に示すように、フォトリソグラフィ工程、エッチング工程等により、データ線6aを形成する。

【0111】次に図7の工程(21)に示すように、データ線6a上を覆うように、例えば、常圧又は減圧CVD法やTEOSガス等を用いて、NSG、PSG、BSG、BPSGなどのシリケートガラス膜、窒化シリコン膜や酸化シリコン膜等からなる第2層間絶縁膜7を形成する。第2層間絶縁膜7の膜厚は、約500～1500nmが好ましい。

【0112】次に工程(22)に示すように、画素電極9aとバリア層80とを電気的に接続するためのコンタクトホール8bを、反応性イオンエッチング、反応性イオンビームエッチング等のドライエッチングにより形成する。テーパー状にするためにウェットエッチングを用いても良い。

【0113】次に工程(23)に示すように、第2層間絶縁膜7の上に、スパッタリング等により、ITO膜等の透明導電性薄膜9を、約50～200nmの厚さに堆積し、更に工程(24)に示すように、フォトリソグラフィ工程、エッチング工程等により、画素電極9aを形成する。尚、当該液晶装置を反射型の液晶装置に用いる場合には、A1膜等の反射率の高い不透明な材料から画素電極9aを形成してもよい。

【0114】続いて、画素電極9aの上にポリイミド系の配向膜の塗布液を塗布した後、所定のプレティルト角を持つように且つ所定方向でラビング処理を施すこと等により、配向膜16(図3参照)が形成される。

【0115】他方、図3に示した対向基板20については、ガラス基板等が先ず用意され、第2遮光膜23及び後述する額縁としての第3遮光膜が、例えば金属クロムをスパッタリングした後、フォトリソグラフィ工程、エッチング工程を経て形成される。尚、これらの第2及び第3遮光膜は、Cr、Ni、Alなどの金属材料の他、カーボンやTiをフォトレジストに分散した樹脂ブラックなどの材料から形成してもよい。尚、TFTアレイ基板10上で、データ線6a、バリア層80、第1遮光膜11a等で遮光領域を規定すれば、対向基板20上の第2遮光膜23や第3遮光膜を省くことができる。

【0116】その後、対向基板20の全面にスパッタリング等により、ITO等の透明導電性薄膜を、約50～200nmの厚さに堆積することにより、対向電極21を形成する。更に、対向電極21の全面にポリイミド系の配向膜の塗布液を塗布した後、所定のプレティルト角を持つように且つ所定方向でラビング処理を施すこと等により、配向膜22(図3参照)が形成される。

【0117】最後に、上述のように各層が形成されたTFTアレイ基板10と対向基板20とは、配向膜16及び22が対面するように後述するシール材により貼り台

30

わされ、真空吸引等により、両基板間の空間に、例えば複数種類のネマティック液晶を混合してなる液晶が吸引されて、所定層厚の液晶層50が形成される。

【0118】以上説明したように本実施形態における製造プロセスによれば、比較的少ない工程数で且つ比較的簡単な各工程を用いて上述した第1実施形態の電気光学装置を製造できる。

【0119】(電気光学装置の第2実施形態)本発明による電気光学装置の第2実施形態である液晶装置の構成について、図8を参照して説明する。図8は、第2実施形態におけるデータ線、走査線、画素電極、遮光膜等が形成されたTFTアレイ基板の相隣接する複数の画素群の平面図である。尚、図8に示した第2実施形態において図2に示した第1実施形態と同様の構成要素については、同様の参照符号を付し、その説明は省略する。

【0120】図8において、第2実施形態では第1実施形態とは異なり、コンタクトホール8aは、非開口領域のうち走査線3aに沿った領域内において、容量線3bの開口領域と接する側に開孔されている。その他の構成については第1実施形態の場合と同様である。

【0121】ここで、コンタクトホール8aは、コンタクトホール8bと異なり、3次元的に見て画素電極9a表面から複数の導電層や層間絶縁膜を介して離れているので、コンタクトホール8aの存在に起因して画素電極9aの表面に生じる窪みや凹凸は、本来小さくて薄い。従って、本実施形態によれば、平面的に各画素の開口領域に近い位置にコンタクトホール8aを配置しつつ、走査線3aや容量線3bとバリア層80とをショートしない配置が得られる。尚、図8に示すように、本実施形態では特に、コンタクトホール8aの存在により走査線3aや容量線3bの線幅が全体的に細くならないように、或いは非開口領域の幅が不必要に増大しないように、容量線3bの平面形状は夫々、コンタクトホール8aの形成領域に対応してくびれ込むようにしても良い。

【0122】(電気光学装置の第3実施形態)本発明による電気光学装置の第3実施形態である液晶装置の構成について、図9及び図10を参照して説明する。図9は、第3実施形態におけるデータ線、走査線、画素電極、遮光膜等が形成されたTFTアレイ基板の相隣接する複数の画素群の平面図であり、図10は、そのB-B'断面図である。また、図10においては、各層や各部分を図面上で認識可能な程度の大きさとするため、各層や各部分毎に縮尺を異ならしめてある。尚、図9及び図10に示した第3実施形態において図2及び図3に示した第1実施形態と同様の構成要素については、同様の参照符号を付し、その説明は省略する。

【0123】図9及び図10において、第3実施形態では、第1実施形態におけるバリア層80の代りに、半導体層1aの高濃度ドレイン領域1eにコンタクトホール88aを介して接続されておりデータ線6aと同一層か

(17)

特開2001-265255

31

ら構成された第1バリア層6cと、画素電極9aにコンタクトホール8bを介して接続された第2バリア層90とを備えている。そして、第1バリア層6cと第2バリア層90とは、データ線6a及び第1バリア層6c上に形成された層間絶縁膜91を介して対向配置されており、この層間絶縁膜91に開孔されたコンタクトホール88cを介して相互に電気的に接続されている。その他の構成については第1実施形態の場合と同様である。

【0124】第2バリア層90の材質としては、第1実施形態におけるバリア層80と同様のものが好適に用いられる。特に画素電極9aがITO膜からなりデータ線6aがAl膜からなる場合には、Ti、Cr、W、Mo、Ta等の高融点金属膜や金属シリサイド膜等から第2バリア層90を構成すれば、良好に電気的な接続が実現できる。

【0125】従って、第3実施形態によれば、第1バリア層6c及び第2バリア層90を介して画素電極9aと高濃度ドレイン領域1eとの電気的な接続をとることができる。また、第1層間絶縁膜4を介して容量線3bと第1バリア層6cとが対向配置される構造により蓄積容量を増大させることも可能となる。更に、コンタクトホール88aの位置は、データ線6aの存在しない平面領域における任意の位置に設定でき、コンタクトホール88bの位置は、層間絶縁膜91上の任意の位置に設定できるので、設計自由度が増し有利である。

【0126】このようなデータ線6aと同一膜からなる第1バリア層6cは、例えば、第1実施形態の製造プロセスにおける工程(18)において、高濃度ドレイン領域1eに至るコンタクトホール88aを開孔し、工程(20)において、このコンタクトホール88aの部分を含めて高濃度ドレイン領域1eの上方に第1バリア層6cを形成すべきの 패턴が残るように、工程(19)で形成したAl膜に対してフォトリソグラフィを施せばよい。更に層間絶縁膜91及び第2バリア層90については、データ線6a及び第1バリア層6c上に、第1実施形態における工程(13)から工程(16)と同様のプロセスにより形成すればよい。

【0127】図9に示すように、本実施形態では、コンタクトホール88aの存在により走査線3aや容量線3bの幅が全体的に細くならないように、或いは非開口領域の幅が不必要に増大しないように、容量線3bの平面形状は夫々、コンタクトホール88aの形成領域に対応してくびれ込むようにすると良い。

【0128】(電気光学装置の第4実施形態) 本発明による電気光学装置の第4実施形態である液晶装置の構成について、図11を参照して説明する。

【0129】各実施形態において、コンタクトホール8aとコンタクトホール8bとは、TFTアレイ基板10上における相異なる平面位置に開孔されてもよいが、相重なってもよい。特に、コンタクトホール8aに対応

32

する領域が平坦化されていれば、後者のような構成でも問題は生じない。また各実施形態において、コンタクトホール8a及びコンタクトホール8bのうち少なくとも一方は、各画素毎に複数設けられていてもよい。同一画素に対して複数のコンタクトホール8a又はコンタクトホール8bを開孔すれば、同一の電気導電率を得るのに必要な各コンタクトホールにおける径を小さくできるので、各コンタクトホールに起因した画素電極9aの表面における窪みや凹凸を小さくできるので有利である。また、複数のコンタクトホールにより、冗長構造を実現でき装置欠陥率を低下できる。

【0130】本第4実施形態は、第1及び第2実施形態に示す如きコンタクトホール8a及びコンタクトホール8bの具体的な配置例に係るものであり、その他の構成については、上述した各実施形態のいずれかと同一であるので説明は省略する。尚、図中斜線部は画素の非光透過領域(非開口領域)である。

【0131】即ち、図11(a)に示す配置例では、2個のコンタクトホール8aと2個のコンタクトホール8bとが、相互に縦方向に若干ずれた位置であって相隣接するデータ線6aに対して対称な位置に夫々設けられている。

【0132】図11(b)に示す配置例では、1個のコンタクトホール8aと1個のコンタクトホール8bとが、相互に縦方向に若干ずれた位置であって相隣接するデータ線6aに対して対称な位置に夫々設けられている。

【0133】図11(c)に示す配置例では、1個の第1コンタクトホール8aと2個のコンタクトホール8bとが、縦方向にずれていない位置であって相隣接するデータ線に対して対称な位置に夫々設けられている。

【0134】本第4実施形態においては、図11(a)から図11(c)に示した配置例以外にも、コンタクトホール8a及びコンタクトホール8bの数及び配置について、上述した相隣接する2本のデータ線に対して対称である条件を満たす様々な種類の配置が可能である。尚、第3実施形態におけるコンタクトホール88a、コンタクトホール88b及びコンタクトホール88cに関しても本実施形態におけるコンタクトホールの配置が適用できることは言うまでもない。

【0135】(電気光学装置の第5実施形態) 本発明による電気光学装置の第5実施形態である液晶装置の構成について、図12及び図13を参照して説明する。図12は、データ線、走査線、画素電極、遮光膜等が形成されたTFTアレイ基板の相隣接する複数の画素群の平面図であり、図13は、図12のC-C'断面図である。尚、図12及び図13に示した第5実施形態において、第1実施形態と同様な構成要素については、同様の参照符号を付し、その説明は省略し、異なる部分のみ説明する。また、図13においては、各層や各部材を図面上で

(18)

特開2001-265255

33

認識可能な程度の大きさとするため、各層や各部材毎に縮尺を異ならしめてある。

【0136】図12に示されるように、第5実施形態は第1実施形態とは異なり、1個のコンタクトホール8aを介して高濃度ドレイン領域1eとバリア層8dとが接続され、1個のコンタクトホール8bを介してバリア層8dと画素電極9aとが接続されている。さらに、コンタクトホール8aとコンタクトホール8bとは相互に重なるように、しかも相隣接するデータ線6aの間のほぼ中央に配置されている。このように、本実施形態は第2誘電体膜81が蓄積容量を形成するのに薄膜を用いているため、コンタクトホール8a及びコンタクトホール8bを重ねて形成しても電気的な接続不良にはならない。また、コンタクトホール8aとコンタクトホール8bとを平面的に重なるように1箇所にとめることで、画素は対称性を有することができる。しかも、コンタクトホール8a上は、容量線3bを形成することができないため、そのようなコンタクトホール8aに代わってコンタクトホール8bを形成すれば、容量線3bがコンタクトホール8bに影響されることなく、また容量線3bの面積を減らすのを防ぐことができる。また、コンタクトホールによる凹凸を1箇所にまとめることができるので、液晶のディスクリネーションの発生を低減することができる。

【0137】（電気光学装置の第6実施形態）本発明による電気光学装置の第6実施形態である液晶装置の構成について、図14及び図15を参照して説明する。図14は、データ線、走査線、画素電極、遮光膜等が形成されたTFTアレイ基板の相隣接する複数の画素群の平面図であり、図15は、図14のD-D'断面図である。尚、図14及び図15に示した第6実施形態において、図2及び図3に示した第1実施形態と同様の構成要素については、同様の参照符号を付し、その説明を省略する。また、図15においては、各層や各部材を図面上で認識可能な程度の大きさとするため、各層や各部材毎に縮尺を異ならしめてある。

【0138】図14及び図15において、第6実施形態では第1実施形態とは異なり、第1遮光膜11bがTFTアレイ基板10側から見て走査線3a、容量線3b及びデータ線6aを覆うように即ち、各画素を囲む格子状の非開口領域の全域に設けられている。更に、下地絶縁膜12には、容量線3bと第1遮光膜11bとを電気的に接続するコンタクトホール15が設けられている。容量線3b及び第1遮光膜11bは、基板周辺領域において、定電位配線に接続されている。その他の構成については第1実施形態の場合と同様である。

【0139】従って、第6実施形態によれば、第1遮光膜11bは、画素開口領域を規定する機能と共に容量線3bの定電位配線又は冗長配線としての機能を有するだけでなく、容量線自体の抵抗を下げることができ、回質

34

品位を向上させる。このように構成すれば、第1遮光膜11b単独で画素開口領域を規定することが可能となる。更に、容量線3b及び第1遮光膜11bの電位を同一の一定電位にでき、容量線3bや第1遮光膜11bにおける電位揺れによる画像信号やTFT30への悪影響を低減できる。また、第1遮光膜11bと半導体層1aの間に介在する下地絶縁膜12を誘電体膜とし、更に蓄積容量を付加することができる。

【0140】また、第1遮光膜11bを容量線として代用すれば、走査線3aと同一工程で形成される容量線3bは、各画素単位毎に蓄積容量電極として島状に設けてもよい。このように構成することで、画素開口率を向上させることが可能となる。

【0141】尚、このような第1遮光膜11bは、第1実施形態における製造プロセス（図4～図7）中、工程（2）におけるレジストマスクのパターンを変更すれば形成できる。また、コンタクトホール15は、第1実施形態における製造プロセス中、工程（8）と工程（9）の間に、反応性イオンエッチング、反応性イオンビームエッチング等のドライエッチングにより開孔すればよい。

【0142】（電気光学装置の第7実施形態）本発明による電気光学装置の第7実施形態である液晶装置の構成について、図16を参照して説明する。図16は、第6実施形態における図15の断面図に対応する第7実施形態の断面図である。尚、図16に示した第1実施形態において図15に示した第6実施形態と同様の構成要素については、同様の参照符号を付し、その説明は省略する。また、図16においては、各層や各部材を図面上で認識可能な程度の大きさとするため、各層や各部材毎に縮尺を異ならしめてある。

【0143】図16において、第7実施形態では第1実施形態とは異なり、第2層間絶縁膜7'は、膜表面が平坦に形成されている。この結果、第2層間絶縁膜7'を下地膜とする画素電極9a及び配向膜16も平坦化されている。その他の構成については第1実施形態の場合と同様である。

【0144】従って、第7実施形態によれば、データ線6に重ねて走査線3a、TFT30、容量線3b等が形成される領域の他の領域に対する段差が低減される。このようにして画素電極9aが平坦化されているので、当該平坦化の度合いに応じて液晶層50のディスクリネーションの発生を低減できる。この結果、第7実施形態によれば、より高品位の画像表示が可能となり、画素開口領域を広げることも可能となる。

【0145】尚、このような第2層間絶縁膜7'の平坦化は、例えば、第1実施形態の製造プロセスにおける工程（21）の際、CMP処理、スピコート処理、リフロー法等により行ったり、有機SOG膜、無機SOG膜、ポリイミド膜等を利用して行えばよい。

(19)

特開2001-265255

35

【0146】（電気光学装置の第8実施形態）本発明による電気光学装置の第8実施形態である液晶装置の構成について、図17を参照して説明する。図17は、第6実施形態における図15の断面図に対応する第8実施形態の断面図である。尚、図17に示した第8実施形態において図15に示した第6実施形態と同様の構成要素については、同様の参照符号を付し、その説明は省略する。また、図17においては、各層や各部材を図面上で認識可能な程度の大きさとするため、各層や各部材毎に縮尺を異ならしめてある。

【0147】図17において、第8実施形態では第1実施形態とは異なり、TFTアレ基板10'は、その上側表面が、データ線6a、走査線3a及び容量線3bに対向する少なくとも一部分が凹状に窪んで形成されている。この結果、TFTアレ基板10'上にこれらの配線や層間絶縁膜を介して形成される画素電極9a及び配向膜16も平坦化されている。その他の構成については第1実施形態の場合と同様である。

【0148】従って、第8実施形態によれば、データ線6に重ねて走査線3a、TFT30、容量線3bが形成される領域と形成されない領域との段差が低減される。このようにして画素電極9aが平坦化されているので、当該平坦化の度合いに応じて液晶層50のディスクリネーションの発生を低減できる。この結果、第7実施形態によれば、より高品位の画像表示が可能となり、画素開口領域を広げることが可能となる。

【0149】尚、このようなTFTアレ基板10'は、例えば、第1実施形態の製造プロセスにおける工程(1)の前に、凹状の窪みを形成すべき領域にエッチングを施せばよい。

【0150】上述のように第7実施形態では、第3層間絶縁膜7'上面を平坦化し、第8実施形態では、基板下面を凹状に形成して最終的に画素電極を平坦化しているが、第1層間絶縁膜4又は下地絶縁膜12を凹状に窪めて形成しても同様の平坦化の効果が得られる。この場合、各層間絶縁膜を凹状に形成する方法としては、各層間絶縁膜を二層構造として、一層のみからなる薄い部分を凹状の窪み部分として二層の厚い部分を凹状の土手部分とするように薄膜形成及びエッチングを行えばよい。或いは、各層間絶縁膜を単一層構造として、エッチングにより凹状の窪みを開孔するようにしてもよい。これらの場合、反応性イオンエッチング、反応性イオンビームエッチング等のドライエッチングを用いると、設計寸法通りに凹状部分を形成できる利点がある。一方、少なくともウェットエッチングを単独で又はドライエッチングと組み合わせて用いた場合には、凹状の窪みの側壁面をテーパ状に形成できるため、後工程で凹状の窪み内に形成されるポリシリコン膜、レジスト等の側壁周囲への残膜を低減できるので、歩留まりの低下を招かない利点が見られる。

36

【0151】（電気光学装置の全体構成）以上のように構成された各実施形態における電気光学装置の一例である液晶装置の全体構成を図18及び図19を参照して説明する。尚、図18は、TFTアレ基板10をその上に形成された各構成要素と共に対向基板20の側から見た平面図であり、図19は、図18のH-H'断面図である。

【0152】図18において、TFTアレ基板10の上には、シール材52がその縁に沿って設けられており、その内側に並行して、例えば第2遮光膜23と同じ或いは異なる材料から成る画像表示領域の周辺を規定する領域としての第3遮光膜53が設けられている。シール材52の外側の領域には、データ線6aに画像信号を所定タイミングで供給することによりデータ線駆動回路101及び外部回路接続端子102がTFTアレ基板10の一辺に沿って設けられており、走査線3aに走査信号を所定タイミングで供給することにより走査線駆動回路104が、この一辺に隣接する2辺に沿って設けられている。走査線3aに供給される走査信号遅延が問題にならないのであれば、走査線駆動回路104は片側だけでも良いことは言うまでもない。また、データ線駆動回路101を画像表示領域の辺に沿って両側に配列してもよい。例えば奇数列のデータ線6aは画像表示領域の一方の辺に沿って配設されたデータ線駆動回路から画像信号を供給し、偶数列のデータ線は前記画像表示領域の反対側の辺に沿って配設されたデータ線駆動回路から画像信号を供給するようにしてもよい。この様にデータ線6aを歯状に駆動するようにすれば、データ線駆動回路の占有面積を拡張することができるため、複雑な回路を構成することが可能となる。更にTFTアレ基板10の残る一辺には、画像表示領域の両側に設けられた走査線駆動回路104間をつなぐための複数の配線105が設けられている。また、対向基板20のコーナー部の少なくとも1箇所においては、TFTアレ基板10と対向基板20との間で電氣的導通をとるための導通材106が設けられている。そして、図19に示すように、図18に示したシール材52とほぼ同じ輪郭を持つ対向基板20が当該シール材52によりTFTアレ基板10に固着されている。尚、TFTアレ基板10上には、これらのデータ線駆動回路101、走査線駆動回路104等に加えて、複数のデータ線6aに画像信号を所定のタイミングで印加するサンプリング回路、複数のデータ線6aに所定電圧レベルのプリチャージ信号を画像信号に先行して各々供給するプリチャージ回路、製造途中や出荷時の当該液晶装置の品質、欠陥等を検査するための検査回路等を形成してもよい。尚、本実施の形態によれば、対向基板20上の第2遮光膜23はTFTアレ基板10上の遮光領域よりも小さく形成すれば良く、液晶装置の用途により、容易に取り除くことができる。

(20)

特開2001-265255

37

【0153】以上図1から図19を参照して説明した各実施形態では、データ線駆動回路101及び走査線駆動回路104をTFTアレイ基板10の上に設ける代わりに、例えばTAB (Tape Automated bonding)基板上に実装された駆動用LSIに、TFTアレイ基板10の周辺部に設けられた異方性導電フィルムを介して電氣的及び機械的に接続するようにしてもよい。また、対向基板20の投射光が入射する側及びTFTアレイ基板10の出射光が出射する側には各々、例えば、TN (Twisted Nematic) モード、VA (Vertically Aligned) モード、PDLC (Polymer Dispersed Liquid Crystal) モード等の動作モードや、ノーマリーホワイトモード/ノーマリーブラックモードの別に応じて、偏光フィルム、位相差フィルム、偏光板などが所定の方角で配置される。

【0154】以上説明した各実施形態における電気光学装置は、カラー表示のプロジェクタ等に適用されるため、3枚の電気光学装置がRGB用のライトバルブとして各々用いられ、各ライトバルブには各々RGB色分解用のダイクロイックミラーを介して分解された各色の光が投射光として各々入射されることになる。従って、各実施形態では、対向基板20に、カラーフィルタは設けられていない。しかしながら、第2遮光膜23の形成されていない画素電極9aに対向する所定領域にRGBのカラーフィルタをその保護膜と共に、対向基板20上に形成してもよい。このようにすれば、プロジェクタ以外の直視型や反射型のカラー液晶テレビなどに各実施形態における電気光学装置を適用できる。更に、対向基板20上に1画素1個対応するようにマイクロレンズを形成してもよい。あるいは、TFTアレイ基板10上のRGBに対向する画素電極9a下にカラーレジスト等でカラーフィルタ層を形成することも可能である。このようにすれば、入射光の集光効率を向上することで、明るい電気光学装置が実現できる。更にまた、対向基板20上に、何層もの屈折率の相違する干渉層を堆積することで、光の干渉を利用して、RGB色を作り出すダイクロイックフィルタを形成してもよい。このダイクロイックフィルタ付き対向基板によれば、より明るいカラー電気光学装置が実現できる。

【0155】以上説明した各実施形態における電気光学装置では、従来と同様に入射光を対向基板20の側から入射することとしたが、第1遮光膜11aを設けているので、TFTアレイ基板10の側から入射光を入射し、対向基板20の側から出射するようにしても良い。即ち、このように電気光学装置を液晶プロジェクタに取り付けても、半導体層1aのチャンネル領域1a'及び低濃度ソース領域1bや低濃度ドレイン領域1cに光が入射することを防ぐことが出来、高画質の画像を表示することが可能である。ここで、従来は、TFTアレイ基板10の裏面側の反射を防止するために、反射防止用のAR (Anti Reflection)被膜された偏光板を別途配置した

38

り、ARフィルムを貼り付ける必要があったが、各実施形態では、TFTアレイ基板10の表面と半導体層1aの少なくともチャンネル領域1a'及び低濃度ソース領域1bや低濃度ドレイン領域1cとの間に第1遮光膜11aが形成されているため、このようなAR被膜された偏光板やARフィルムを用いたり、TFTアレイ基板10そのものをAR処理した基板を使用する必要がなくなる。従って、各実施形態によれば、材料コストを削減でき、また偏光板貼り付け時に、ごみ、傷等により、歩留まりを落とすことなく大々有利である。また、耐光性が優れているため、明るい光源を使用したり、偏光ビームスプリッタにより偏光変換して、光利用効率を向上させても、光によるクロストーク等の画質劣化を生じない。

【0156】また、各画素に設けられるスイッチング素子としては、正スタガ型又はコプラナー型のポリシリコンTFTであるとして説明したが、逆スタガ型のTFTやアモルファスシリコンTFT等の他の形式のTFTに対しても、各実施形態は有効である。

【0157】

【発明の効果】以上説明したように本発明の第1の電気光学装置によれば、第2コンタクトホール形成位置を工夫することにより各画素単位で第2コンタクトホールに対応する画素電極表面の窪みや凹凸に起因する不良傾向が安定するため、コンタクトホールの存在により画像表示領域内の特定個所における不良が一定限度を超えて顕在化して、表示画像の品位が劣化する事態、或いは当該電気光学装置全体が不良品となる事態を効率的に防ぐことが可能となる。また、第2の電気光学装置によれば、第1コンタクトホール形成位置を工夫することにより各画素単位で第1コンタクトホールに対応する画素電極表面の窪みや凹凸の影響が各画素の開口領域に及び難いため、コンタクトホールの存在により表示画像の品位が劣化する事態、或いは当該電気光学装置全体が不良品となる事態を効率的に防ぐことが可能となる。更に、第3の電気光学装置によれば、第1コンタクトホール形成位置を工夫することにより装置欠陥が生じにくい構成が得られ、コンタクトホールの存在により表示画像の品位が劣化する事態、或いは当該電気光学装置全体が不良品となる事態を効率的に防ぐことが可能となる。

【0158】また、本発明の電気光学装置の製造方法によれば、比較的少ない工程数で且つ比較的簡単な各工程を用いて製造できる。

【図面の簡単な説明】

【図1】電気光学装置の第1実施形態である液晶装置における画像表示領域を構成するマトリクス状の複数の画素に設けられた各構成素子、配線等の等価回路図である。

【図2】第1実施形態の液晶装置におけるデータ線、走査線、画素電極、遮光膜等が形成されたTFTアレイ基板の相隣接する複数の画素群の平面図である。

(21)

特開2001-265255

39

40

【図3】図2のA-A'断面図である。

【図4】第1実施形態の液晶装置の製造プロセスを順を追って示す工程図（その1）である。

【図5】第1実施形態の液晶装置の製造プロセスを順を追って示す工程図（その2）である。

【図6】第1実施形態の液晶装置の製造プロセスを順を追って示す工程図（その3）である。

【図7】第1実施形態の液晶装置の製造プロセスを順を追って示す工程図（その4）である。

【図8】電気光学装置の第2実施形態である液晶装置におけるデータ線、走査線、画素電極、遮光膜等が形成されたTFTアレイ基板の相隣接する複数の画素群の平面図である。

【図9】電気光学装置の第3実施形態におけるデータ線、走査線、画素電極、遮光膜等が形成されたTFTアレイ基板の相隣接する複数の画素群の平面図である。

【図10】図9のB-B'断面図である。

【図11】電気光学装置の第4実施形態におけるコンタクトホールのある各種の配置例を示す図式的平面図である。

【図12】電気光学装置の第5実施形態である液晶装置の平面図である。

【図13】図12のC-C'断面図である。

【図14】電気光学装置の第6実施形態である液晶装置の平面図である。

【図15】図14のD-D'断面図である。

【図16】電気光学装置の第7実施形態である液晶装置の断面図である。

【図17】電気光学装置に第8実施形態である液晶装置の断面図である。

【図18】各実施形態の液晶装置におけるTFTアレイ基板をその上に形成された各種要素と共に対向基板の側から見た平面図である。

【図19】図18のH-H'断面図である。

【図20】複板方式のカラープロジェクタにおける光台成の原理を示す概念図である。

【符号の説明】

1 a…半導体層

\* 1 a'…チャネル領域

1 b…低濃度ソース領域

1 c…低濃度ドレイン領域

1 d…高濃度ソース領域

1 e…高濃度ドレイン領域

1 f…第1蓄積容量電極

2…絶縁薄膜（第1誘電体膜）

3 a…走査線

3 b…容量線

4…第1層間絶縁膜

5…コンタクトホール

6 a…データ線

6 c…第1バリア層

7…第2層間絶縁膜

8 a…コンタクトホール

8 b…コンタクトホール

9 a…画素電極

10…TFTアレイ基板

11 a…第1遮光膜

12…下地絶縁膜

16…配向膜

20…対向基板

21…対向電極

22…配向膜

23…第2遮光膜

30…TFT

50…液晶層

70…蓄積容量

70 a…第1蓄積容量

70 b…第2蓄積容量

80…バリア層

81…第2誘電体膜

88 a…コンタクトホール

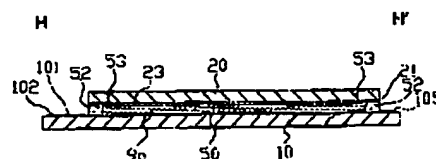
88 b…コンタクトホール

88 c…コンタクトホール

90…第2バリア層

\* 91…層間絶縁膜

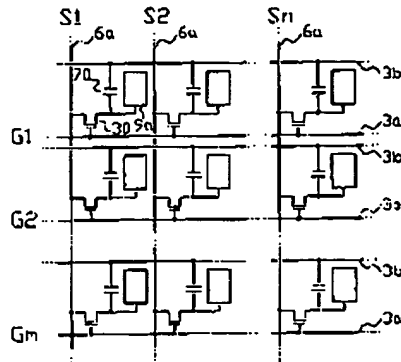
【図19】



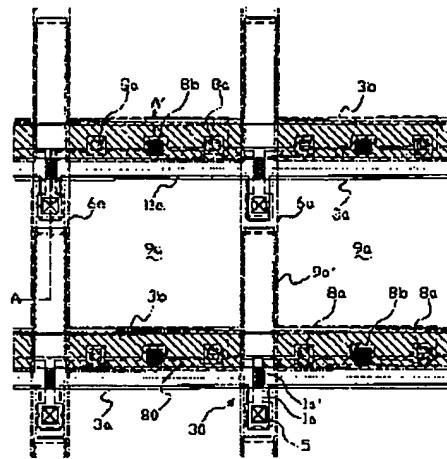
(22)

特開2001-265255

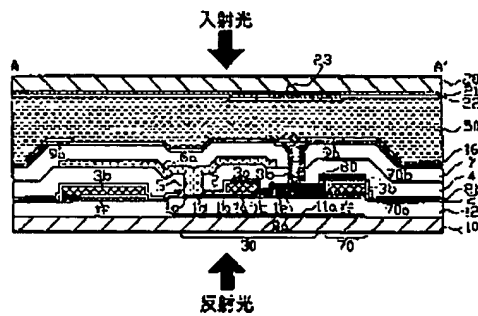
【図1】



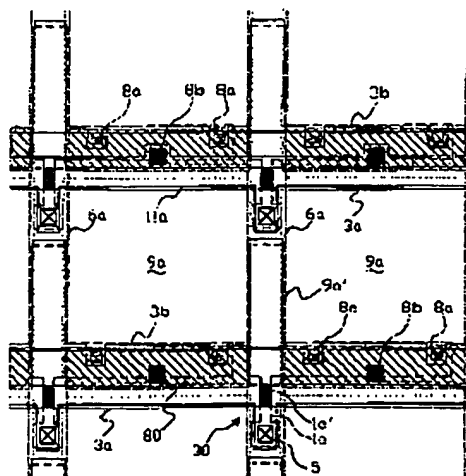
【図2】



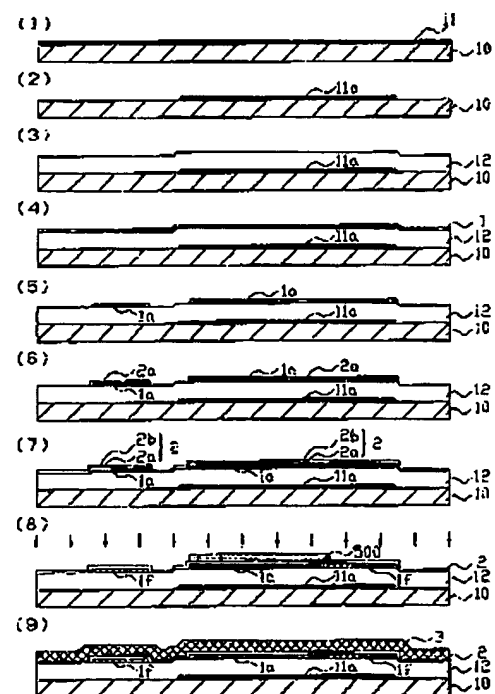
【図3】



【図8】



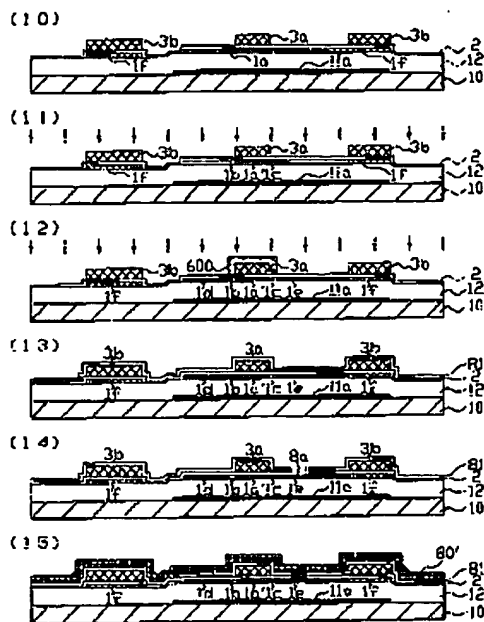
【図4】



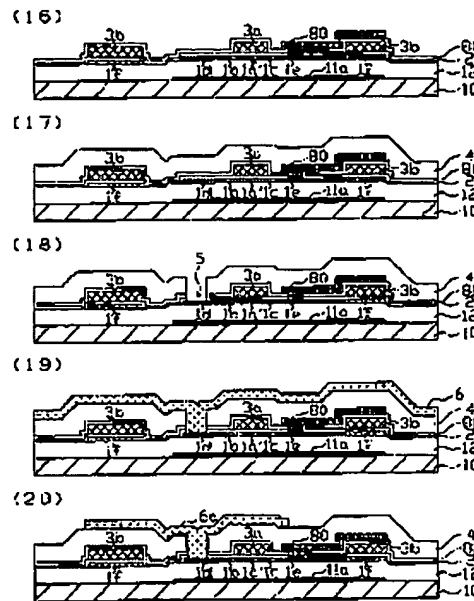
(23)

特開2001-265255

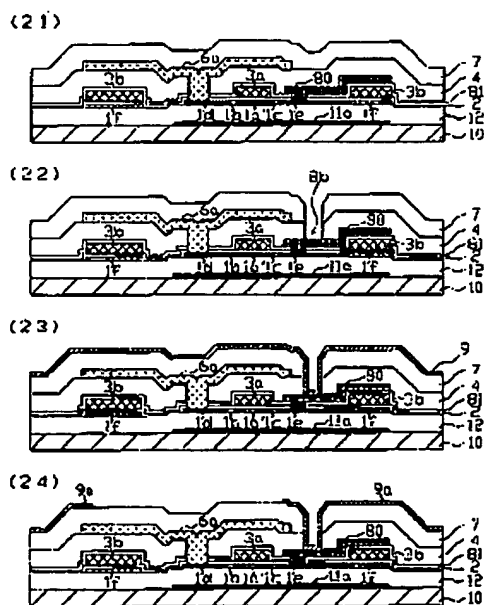
【図5】



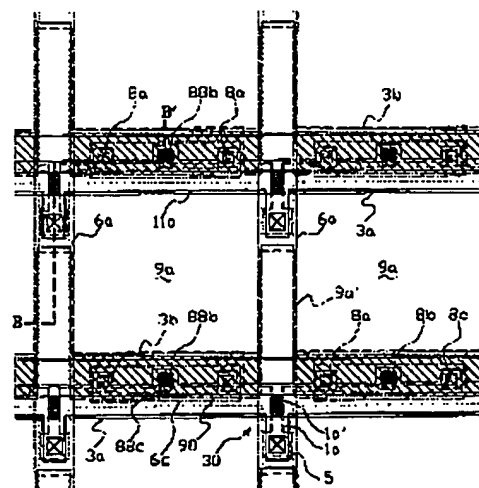
【図6】



【図7】

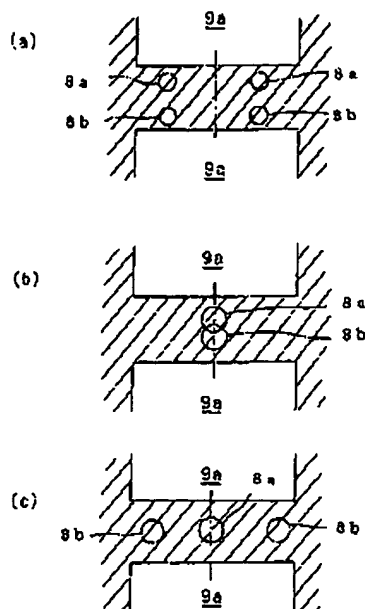


【図9】

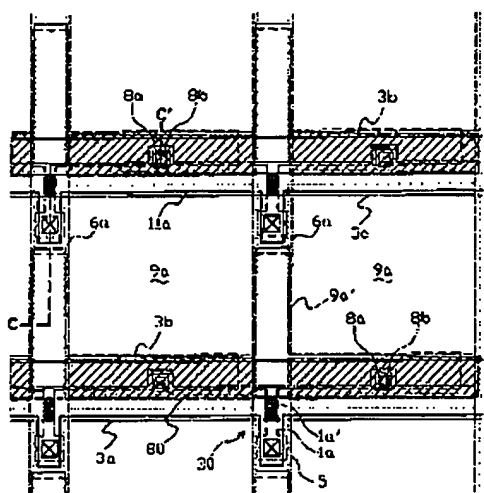




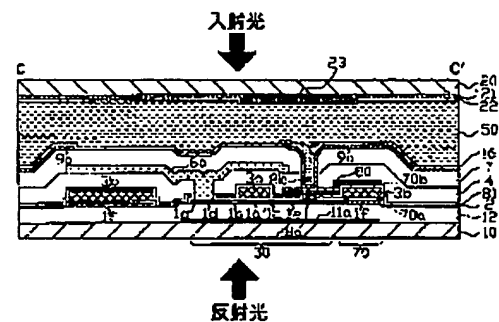
【圖 11】



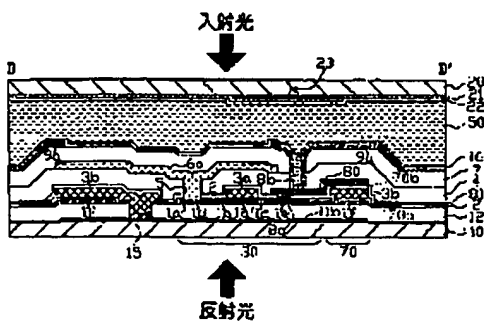
【圖 12】



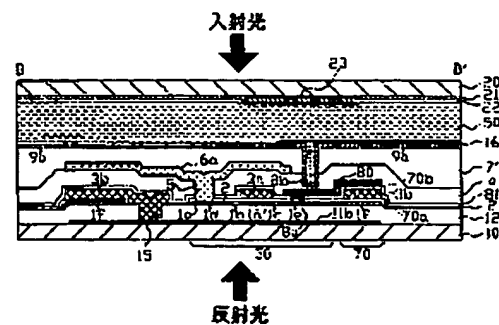
【图 13】



【圖 15】



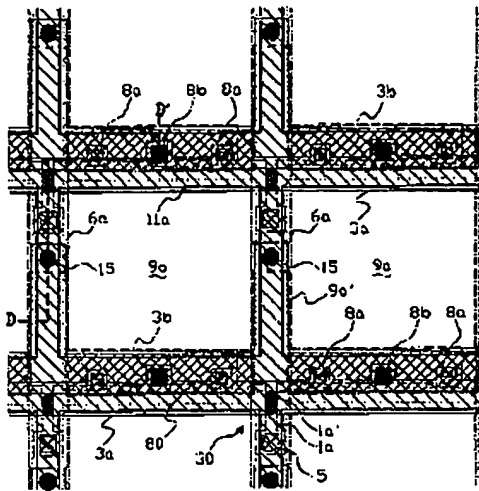
【图 16】



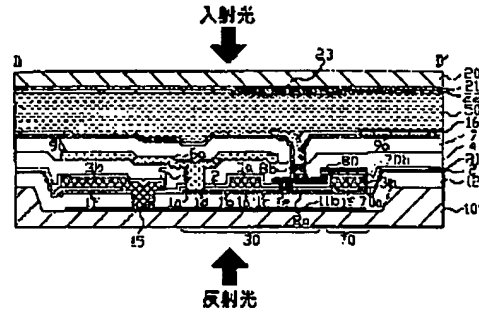
(25)

特開2001-265255

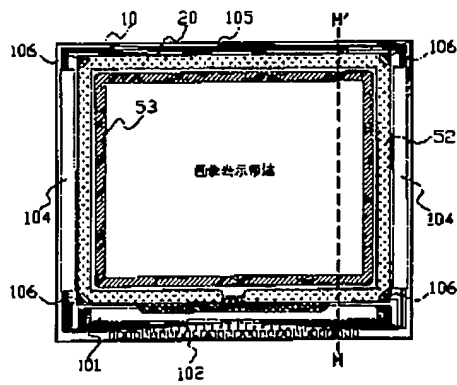
【図14】



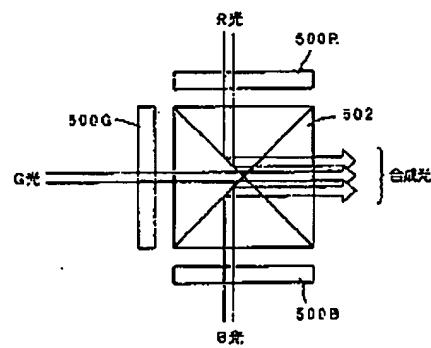
【図17】



【図18】



【図20】



(26)

特開2001-265255

フロントページの続き

Fターム(参考) 2H092 HA04 JA25 JA46 JB51 JB69  
 KB12 KB25 NA01 NA12 NA16  
 NA27 PA08 QA07  
 5C094 AA03 AA05 AA10 AA42 AA43  
 AA48 BA03 BA43 CA19 DA13  
 DB04 EA04 EA05 EA10 EB03  
 ED15 FA01 FA02 FB12 FB14  
 FB16 GB10  
 5F110 AA26 BB02 BB04 CC02 CC06  
 CC08 DD02 DD03 DD05 DD12  
 DD13 DD14 DD25 EE04 EE05  
 EE09 EE14 EE28 EE45 FF02  
 FF09 FF23 FF32 GG02 GG13  
 GG15 GG25 GG32 GG47 GG52  
 HJ01 HJ04 HJ13 HJ23 HL03  
 HL04 HL05 HL06 HL07 HL08  
 HL11 HL14 HL23 HM14 HM15  
 HM17 HM18 NN03 NN04 NN22  
 NN23 NN24 NN25 NN26 NN35  
 NN44 NN46 NN47 NN54 NN73  
 PP02 PP03 PP10 PP13 PP33  
 QQ11 QQ19  
 5G435 AA01 AA17 BB12 CC09 FF05  
 HH12 KK05

**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☒ FADED TEXT OR DRAWING
- ☐ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☒ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**